



Master-Arbeit Nr. 1079

**Entwicklung eines Frameworks für grafische zyklusgenaue
Prozessoremulatoren am Beispiel eines konfigurierbaren superskalaren
RISC-V Prozessors mit Unterstützung für Register-Renaming und
Spekulation**



Methoden

Softwareentwurf

Themengebiete

Rechnerarchitektur

Hintergrund

Zyklusgenaue Prozessoremulatoren bilden die Vorgänge in einem Mikroprozessor auf Mikroarchitektur-Ebene nach. Dabei wird der Zustand aller Einheiten (Pipeline-Stufen, Reservation Stations, Reorder Buffer usw.) in jedem Takt dargestellt. So zeigen zyklusgenaue Prozessoremulatoren im Gegensatz zu ISA-Emulatoren auch Überholvorgänge von Befehlen in superskalaren Pipelines. Diese Eigenschaft macht sie insbesondere in der Lehre zu einem wichtigen Werkzeug, um die internen Mechanismen von superskalaren Prozessoren zu verstehen.

Aufgabenstellung

Ziel der Arbeit ist die Entwicklung eines Frameworks für grafische zyklusgenaue Prozessoremulatoren am Beispiel eines skalaren und eines konfigurierbaren superskalaren RISC-V Prozessors. Der superskalare RISC-V Prozessor soll Register-Renaming nach Tomasulo und Spekulation mit Hilfe eines Reorder-Buffers unterstützen. Die Arbeit gliedert sich in folgende Schritte

- Recherche zu bestehenden grafischen Prozessoremulatoren auf Mikroarchitektur-Ebene
- Recherche und Auswahl geeigneter Frameworks zur Entwicklung von grafischen Anwendungen
- Entwicklung eines Frameworks für grafische zyklusgenaue Prozessoremulatoren
- Implementierung und Test eines RISC-V mit skalarer 5-Stufen Pipeline als Proof-of-Concept
- Implementierung und Test eines RISC-V mit konfigurierbarer superskalarer Pipeline, die Register-Renaming und Spekulation mit Hilfe eines Reorder-Buffers unterstützt

Erworbene Kenntnisse und Fähigkeiten

Sie lernen Frameworks zur grafischen Darstellung von Komponenten in Web-Anwendungen kennen. Darüber hinaus lernen Sie mit RISC-V eine moderne und modulare Prozessorarchitektur kennen, deren Erfolg und Verbreitung in Forschung und Industrie ständig zunimmt. Dabei vertiefen Sie Ihr Verständnis der Funktionsweise von Prozessoren auf Mikroarchitektur-Ebene und erwerben die Fähigkeit, sich in bestehende Software Frameworks einzuarbeiten und diese zu erweitern.

Voraussetzungen

Rechnerarchitektur und Rechnerorganisation
Programmierenkenntnisse in einer höheren
Programmiersprache

Erwünschte Vorkenntnisse

Entwurf digitaler Systeme

Kontakt

M.Sc. Christian Koehler

Raum 1.320 (ETI II), Telefon 685-69001, E-Mail christian.koehler@ikr.uni-stuttgart.de