



Bachelor-Arbeit / Forschungsarbeit Nr. 1077

Spezifikation, Neukonzeption und systematischer Test der mengenassoziativen Caches in einem 64-Bit RISC-V Prozessor



Methoden

Hardware-Entwicklung

Themengebiete

Entwurf digitaler Systeme
Rechnerarchitektur

Hintergrund

Am Institut wird ein prototypisches Rechnersystem mit einem 64-Bit RISC-V Prozessor entwickelt. Derzeit unterstützt der Prozessor verschiedene Privilegstufen, besitzt separate mengenassoziative Caches für Befehle und Daten, unterstützt virtuelle Speicherverwaltung und kann Unterbrechungen (Exceptions und Interrupts) verarbeiten.

Aufgabenstellung

In dieser Arbeit sollen die bestehenden mengenassoziativen Caches eines 64-Bit RISC-V Prozessors detailliert spezifiziert und mit Hilfe geeigneter Testbenches umfassend gegen die Spezifikation getestet werden. Auftretende Fehlerfälle sollen analysiert und korrigiert werden. Weiterhin soll das Design der Caches hinsichtlich Modulstruktur betrachtet und gegebenenfalls verbessert werden. Abschließend soll das Design so erweitert werden, dass die Assoziativität der Caches durch einen generischen Parameter beliebig einstellbar ist.

Erworbene Kenntnisse und Fähigkeiten

Sie lernen mit RISC-V eine moderne und modulare Prozessorarchitektur kennen, deren Erfolg und Verbreitung in Forschung und Industrie ständig zunimmt. Dabei vertiefen Sie Ihr Verständnis der Funktionsweise von mengenassoziativen Caches auf Mikroarchitektur-Ebene und sammeln praktische Erfahrungen mit VHDL und VHDL Werkzeugen.

Voraussetzungen

Entwurf digitaler Systeme
Rechnerarchitektur und Rechnerorganisation

Kontakt

M.Sc. Christian Koehler
Raum 1.320 (ETI II), Telefon 685-69001, E-Mail christian.koehler@ikr.uni-stuttgart.de