Universität Stuttgart

INSTITUT FÜR
KOMMUNIKATIONSNETZE
UND RECHNERSYSTEME
Prof. Dr.-Ing. Andreas Kirstädter

Bachelor-Arbeit / Forschungsarbeit Nr. 1060

Design und Implementierung einer modularen "Performance Monitoring Unit" (PMU) für ein prototypisches Rechnersystem mit einem 64-Bit RISC-V Prozessor

Methoden
Hardware-Entwicklung

Themengebiete
Rechnerarchitektur
Entwurf digitaler Systeme

Hintergrund
Am IKR wird ein prototypisches Rechnersystem mit einem 64-Bit RISC-V Prozessor entwickelt. Derzeit unterstützt der Prozessor verschiedene Privilegienstufen, besitzt separate Caches für Befehle und Daten, unterstützt virtuelle Speicherverwaltung und kann Unterbrechungen (Exceptions und Interrupts) verarbeiten. Dieser Prozessor soll um eine "Performance Monitoring Unit" (PMU) erweitert werden. Diese PMU soll die in RISC-V spezifizierten "Hardware Performance Monitors" (HPMs) implementieren. Dabei handelt es sich um eine Reihe konfigurierbarer System-Register, die Ereignisse (z.B. Daten-Cache Fehlzugriffe) zählen.

Aufgabenstellung
Die Arbeit gliedert sich in folgende Schritte:

- Einarbeitung in die RISC-V Spezifikation von HPMs
- Literaturrecherche zu vorhandenen Implementierungen
- Implementierung einer PMU als Modul in VHDL
- Test der PMU mit Hilfe von verschiedenen Anwenderprogrammen

Erworbene Kenntnisse und Fähigkeiten
Sie lernen mit RISC-V eine moderne und modulare Prozessorarchitektur kennen, deren Erfolg und Verbreitung in Forschung und Industrie ständig zunimmt. Sie lernen digitale Systeme in VHDL zu realisieren.

Voraussetzungen
Entwurf digitaler Systeme
Rechnerarchitektur und Rechnerorganisation

Kontakt
M.Sc. Christian Koehler
Raum 1.320 (ETI II), Telefon 685-69001, E-Mail christian.koehler@ikr.uni-stuttgart.de