

ASICs für das Hochgeschwindigkeits-LAN FDDI-II

Martin Siegel

Institut für Nachrichtenvermittlung und Datenverarbeitung

Universität Stuttgart

Seidenstr. 36, D-7000 Stuttgart 1

Telephone: +49 711 121-2474

Telefax: +49 711 121-2477

E-Mail: SIEGEL@nvdv.e-technik.uni-stuttgart.dbp.de

EINLEITUNG

Die steigende Nachfrage nach mehr Bandbreite und integrierten Telekommunikationsdiensten im nicht öffentlichen Bereich kann mit dem hybriden Hochgeschwindigkeits-LAN FDDI-II (Fiber Distributed Data Interface) befriedigt werden.

FDDI ist für eine Datenrate von 100 Mb/s ausgelegt und benutzt ein konfliktfreies Medienzugriffsprotokoll mit zeitüberwachtem Token-Mechanismus. Als topologische Struktur wird ein Glasfaser-Doppelring [6] zu Grunde gelegt. 1986 und 1988 wurden die wesentlichen Teile dieses ausschließlich für nicht-isochronen, paketvermittelten (engl. packet switched, PS) Verkehr geeigneten FDDI-I-Protokolls von ANSI standardisiert [1-4]. Momentan wird ein Hybrid-Modus definiert [5], der auf dem selben Medium zusätzlich auch leitungsvermittelte (engl. circuit switched, CS) Dienste - wie z.B. Sprache und Video - zulässt und durch die Verwendung eines 125 µsec-Zyklus mit ISDN kompatibel ist.

Aufbauend auf einem am Markt verfügbaren Chipsatz für FDDI-I [7] skizziert der Beitrag den Entwurf einer kompletten FDDI-II Station (typisches Blockschaltbild siehe Abbildung 1). Diejenigen Baugruppen, die für die Integration von CS-Verkehr notwendig sind (in Abbildung 1 schraffiert), wurden zunächst in Platinen-Entwürfe mit Standardbauelementen umgesetzt. Die resultierende Komplexität von etwa 350 ICs bzw. 10 (zweitelligen-) Doppelleuropakarten machte jedoch eine Umsetzung in ASICs zwingend erforderlich. Neben der Einbeziehung von Funktionen, die weit über den vorgeschlagenen Standard hinausgehen [11], wurden bei dem notwendigen Neu-Entwurf VLSI-spezifische Erfordernisse - insbesondere bestmögliche Testbarkeit (Stichworte: Design for Testability DFT, scan path, BILBO und boundary scan) - miteingearbeitet. Erhöhte Fehlertoleranz sowie eine Unterstützung des Stations- und Netzmanagements durch zusätzliche Hardware wurden ebenfalls in den VLSI-Entwürfen berücksichtigt. Die zeitliche und funktionelle Verifikation der Entwürfe wurde mittels funktionseller Schaltungssimulation durchgeführt, für die zunächst eine optimierte Bibliothek mit entsprechender Funktionalität aufgebaut werden mußte.

Im folgenden Abschnitt werden die wichtigsten Funktionen der einzelnen Baugruppen erläutert. Die wesentlichen Aspekte der Implementierung sowie Anmerkungen zu der benutzten Semi-Custom Entwurfsmethodik und der CMOS-Entwurfsumgebung (siehe auch [12]) bilden die Schwerpunkte der folgenden Abschnitte. Abschließend wird der Stand des Projektes mit den aktuellen Arbeitsschwerpunkten vorgestellt.

FDDI-II STATION

Abbildung 1 enthält die grundsätzlich in jeder FDDI-II Station notwendigen Blöcke mit ihrer Zuordnung zu den bekannten ISO Kommunikationsebenen [8]. Die unmarkierten Blöcke PMD, PHY, P-MAC und P-SMT sind für den paketvermittelnden Teil zuständig und in [1-4] beschrieben. Die Funktionalität der schraffierten Blöcke ist in [5] zusammengefaßt; an dem gepunkteten Stationsmanagement für den isochronen (CS-)Teil I-SMT wird derzeit innerhalb der ANSI-Standardisierungsgremien gearbeitet.

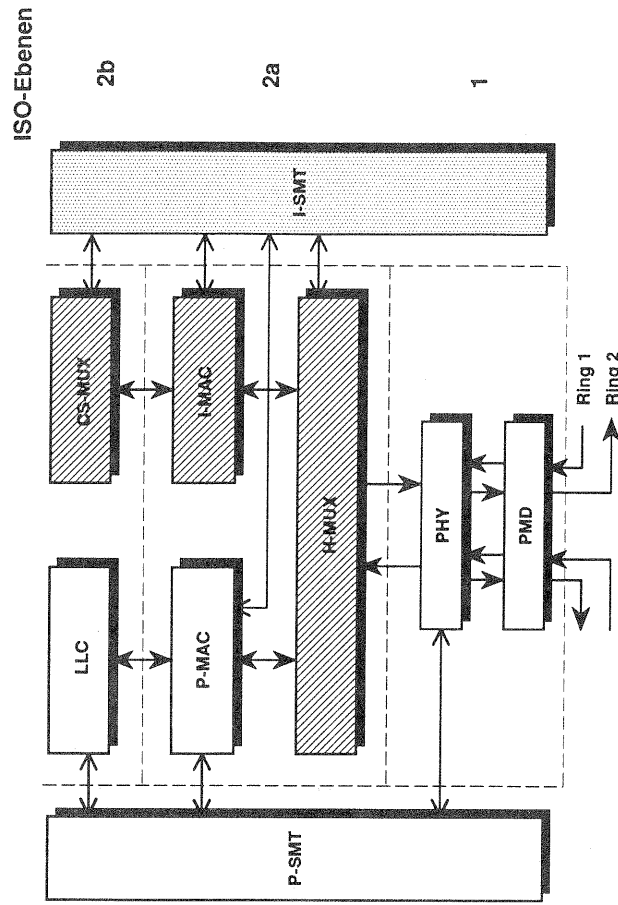


Abbildung 1: Blockschaltbild einer FDDI-II Station

Die wesentlichen Aufgaben der Blöcke PMD (Physical Medium Dependent) und PHY sind:

- Takterzeugung bzw. Takterzeugung
- Kodieren und Dekodieren des eingesetzten Medien-Codes
- Seriell-/Parallel-Wandlung
- Selbständiges Überprüfen und Anzeigen des Medienzustandes.

In dem eingesetzten Chipsatz [7] sind neben diesen Grundfunktionen noch Elemente zur Verbesserung des Chip- und Stations-Tests wie schaltbare Rückkopplungswege, Wiederholmodus und ein elektrischer Bypass eingebaut. PHY und PMD enthalten jeweils alle Baugruppen doppelt, um die geforderte Fehlertoleranz durch Doppelring-Struktur zu gewährleisten. Ein von außen kontrollierbarer Konfigurationsschalter legt dabei den aktuellen Datenpfad fest. Werden entsprechend den Erweiterungsvorschlägen zum FDDI Standard in [11] - beide Ringe im Normalbetrieb voll genutzt, erlaubt der Entwurf die Verlagerung des Konfigurationsschalters sowohl in den im folgenden beschriebenen Hybrid-Multiplexer als auch zwischen den H-MUX und die höheren Verarbeitungseinheiten.

Die zentrale Funktion des Hybrid-Multiplexers *H-MUX* in jeder FDDI-II Station ist das Aufteilen des empfangenen Datenstromes auf die folgenden PS- und CS-Teile bzw. das Zusammenfügen von CS- und PS-Daten zu einem einzigen Datenstrom in Senderichtung. Allerdings sind zum Erreichen dieser Funktionalität sehr viele Aufgaben zu erfüllen, die alle einer äußeren Steuerung durch das Stations-Management zugänglich sein müssen. In unserem Entwurf wurden außerdem alle Erweiterungen bezüglich verbesserter Fehlertoleranz, Datensicherheit und Hardware Unterstützung des Managements sowie die notwendigen Anpassungen an den reinen FDDI-I Chipsatz in den *H-MUX* miteingebaut (Details siehe [11]). Neben regulären Stationen benötigt FDDI-II auch eine aktive übergeordnete Ring-Master-Station, die zusätzlich zu den oben genannten Aufgaben u.a. auch die Generierung des 125 µsec Zyklus und die Verwaltung der Steuerungstabelle für die zwei Verkehrsarten CS und PS - die sogenannte 'Programming Template' - durchführen muß. Die dazu notwendigen Funktionen werden in dem Entwurf ebenfalls weitgehend vom *H-MUX* erbracht.

Oberhalb des *H-MUX* wird die Bearbeitung der zwei Verkehrsarten CS und PS völlig unabhängig voneinander durchgeführt. Der PS-Zweig entspricht dabei - laut Standard - exakt FDDI-I, in der realen Implementierung allerdings traten doch einige Abweichungen auf, deren Behandlung wiederum die Komplexität des *H-MUX* erhöhte!

Der Block *P-MAC* realisiert das komplette MAC-Protokoll für den PS-Teil. Somit kontrolliert und verwaltet er die verschiedenen Protokoll-Timer und ist für die Durchführung der unterschiedlichen Protokollmechanismen, wie etwa das Aushandeln einer mittleren Tokenumlaufzeit oder die Bestimmung eines Ringmasters, verantwortlich. In dem eingesetzten Chip ist lediglich eine Prioritätsklasse implementiert, und die im FDDI-Standard vorgesehene synchrone Verkehrsart wird nicht unterstützt.

Der FDDI-Standard hält sich bei der Schnittstelle zur ISO-Ebene 2b an die von LANs her bekannte Form IEEE 802.2 [9]. Damit ist eine einfache Verwendung von vorhandener Logical Link Control (LLC)-Software möglich. Der FDDI-Chipsatz unterstützt LLC-Funktionen mit Hardware für Speicherverwaltung und Datenflusssteuerung.

Die isochrone Medienzugangseinheit *I-MAC* kontrolliert den Zugriff auf genau diejenigen Bytes im seriellen Datenstrom, die tatsächlich für CS-Verkehr dieser Station reserviert sind. Dazu enthält die *I-MAC* eine von außen programmierbare Tabelle, in der für jeden der 1536 möglichen 64 Kbit/sec Kanäle die Zu- bzw. Nichtzugehörigkeit zu der Station vermerkt ist.

Bei einer Station können mehrere CS-Verbindungen gleichzeitig aktiv sein. Die Zuordnung zu genau einer dieser Verbindungen wird vom CS-Multiplexer *CS-MUX* durchgeführt. Auch die Verwaltung von CS-Verbindungen im Mehrkanalbetrieb findet im *CS-MUX* statt.

Die beiden Blöcke *P-SMT* und *I-SMT* repräsentieren das Stationsmanagement für den PS- bzw. isochronen (CS-)Teil. Durch die große Anzahl von Einzelaufgaben und die teilweise strikten Zeitvorgaben sind die Anforderungen an die Knoten-Prozessoren, auf denen die entsprechenden SMT-Funktionen laufen sollen, sehr hoch. In unserem Entwurf kommen die Hochleistungs-Mikrokontroller 180960 [10] zum Einsatz.

IMPLEMENTIERUNGSASPEKTE

Zu Beginn des Projektes wurden die in Abbildung 1 schraffierten Blöcke *H-MUX*, *I-MAC* und *CS-MUX* in Platinenentwürfe mit diskreten, handelsüblichen TTL-Schaltkreisen umgesetzt. Im Vordergrund stand damals die Erbringung des Nachweises, daß FDDI-II nicht nur logisch eine Erweiterung von FDDI-I ist, sondern daß auch eine Hardware-Realisierung von FDDI-II basierend auf regulärer FDDI-I Hardware möglich ist. Während der Vorüberlegungen ergaben sich jedoch schnell zusätzliche Gesichtspunkte. So wurde u.a. die Möglichkeit, beide Ringe im

Normalbetrieb voll und unabhängig voneinander zu nutzen, direkt in den Entwurf mit eingebracht.

Die immer mehr an Bedeutung gewinnenden Bereiche Netzmanagement, Fehlertoleranz und Datensicherheit beeinflussten den Entwurf von Anfang an. Nachfolgend sind einige der zugehörigen Implementierungsdetails angegeben.

- Der Zugang zu vielen internen Schaltungsbestandteilen und Parametern, zusätzlich vorgesehene Zähler und Register, teilweise integrierte Vorverarbeitungseinheiten sowie entsprechende Kommunikationschnittstellen sind in Bezug auf Management-Unterstützung durch Hardware zu nennen.
- Die Dopplung von kritischen Schaltungsstellen und der Einbau von elektrischen Umleitungen an wesentlichen Stellen des Datenweges ('By-pass') tragen zu einem erhöhten Fehlertoleranzverhalten der gesamten Station bei.
- Mehrfache, in Hardware realisierte, Konsistenzprüfungen verhindern dem unberechtigten Zugriff auf Benutzer-fremde Kanäle bzw. Daten und schotten insbesondere den PS-Teil von CS-Kanälen ab und umgekehrt haben Benutzer von CS-Kanälen keine Möglichkeit auf irgendwelche PS-Daten zu zu greifen.

Der äußere Zugriff auf interne Punkte der Schaltungen und die vielfältigen einstellbaren Möglichkeiten des Datenpfades erleichtern zudem die schrittweise Inbetriebnahme und den funktionellen Test der einzelnen Baugruppen. Das Prinzip des 'Boundary Scan'-Plades, bei dem die Ein- und Ausgänge aller eingesetzten Schaltkreise zu einem seriellen Pfad zusammengeschaltet werden können und somit das gesamte System sehr effizient testbar machen [13], wurde zwar auf dem Papier mitberücksichtigt, scheiterte bei der Implementierung jedoch an der Tatsache, daß entsprechend ausgerüstete Chips nicht verfügbar waren.

Trotz eines modularen HMUX-Konzeptes, das es erlaubt, durch einfaches Hinzufragen von Zusatzhardware aus jeder normalen Station eine Masterstation zu machen, benötigen wir insgesamt alleine für den Basisteil des HMUXs 170 Standard Bausteine. Neben der Komplexität durch die große Anzahl von notwendigen Teilfunktionen, ergaben sich auch Probleme bezüglich der Schaltzeiten. Obwohl durch 8 bit Parallelisierung "nur" ein Takt von 12.5 MHz vorgegeben war, mußten an einigen Stellen Bausteine der schnellsten verfügbaren TTL-Technologie eingesetzt werden (Zur Verdeutlichung: sichere Datenübergabe zwischen Registerstufen wird oft mit komplementären Flanken sichergestellt. Dies hat entweder eine Verdopplung der Stufenzahl oder eine Halbierung der zur Verfügung stehenden Zeit auf ideal gerechnete 40 ns zur Folge. Ein 8-bit Komparator in der schnellen ALS-Technologie ist aber z.B. schon mit 25 ns Verzögerungszeit charakterisiert!). Eine Umsetzung in anwendungsspezifische VLSI-Schaltkreise drängte sich daher geradezu auf.

Schon zur Verifikation der diskret aufgebauten Lösung war es - bedingt durch den Komplexitätsgrad - unumgänglich, funktionelle Modelle, Teststimuli und Sollwerttabellen zu erstellen und entsprechende Simulationen durchzuführen. Die Umsetzung auf CMOS erschien daher zunächst sehr einfach möglich zu sein. Die Idee war, die ursprüngliche Funktion der TTL-ICs möglichst eins-zu-eins auf die verfügbare Gatterbibliothek des Institutes für Mikroelektronik in Stuttgart, IMS, abzubilden [14]. Danach sollten lediglich die charakteristischen Zeiten angepaßt werden und der Rest sollte durch automatische Platzier- und Verdrahtungsprogramme erledigt werden. Dabei ergaben sich jedoch folgende Probleme:

- Die CMOS-Bibliothek enthält nicht alle eingesetzten TTL Gatter und/oder die Leistungsdaten unterscheiden sich zu stark.
- TTL-Gatter reagieren in der Regel flankengetriggert, CMOS-Gatter dagegen pegelgetriggert.
- Viele Funktionen der TTL-Gatter - besonders zusätzliche Inverter und 'Enable'-Logik - werden durch die direkte Zugriffsmöglichkeit bis (fast) auf einzelne Transistoren überflüssig.
- Die Treiberfähigkeit von CMOS-Gattern ist wesentlich kleiner als die von TTL-ICs. Folglich mußten viele zusätzliche Treiber eingefügt werden.
- Die Taktverteilung sowie die Spannungsversorgung mußte von Hand angepaßt werden.

- Der Testbarkeit muß bei VLSI-Entwürfen im Vergleich zu Platinenentwürfen (noch) eine wesentlich größere Aufmerksamkeit gewidmet werden. Neben dem mehr extern orientierten Boundary Scan Prinzip muß die Schaltung auch intern voll getestet werden können. Dazu wurden alle internen Flipflops zu mehreren langen Schieberegistern (Scan Pathes) zusammengeschaltet sowie Pseudo-Zufallszahlen-Generatoren zur Simulation bzw. Signaturanalyse zur komprimierten Auswertung von Teststimuli eingebaut (Build-In-Self-Test, BIST [15]).

Es ist einsichtig, daß die aufgeführten Randbedingungen zumindest eine teilweise Überarbeitung aller Blöcke erforderte, um die Umsetzung vom Platinenentwurf zum ASIC ohne Änderung des Stationsverhaltens zu gewährleisten.

Im folgenden wird ein Eindruck der angewandten Entwurfsmethodik vermittelt.

Alle Entwürfe wurden - beginnend auf oberster Blockebene - schrittweise weiter verfeinert, d.h. es wurde ein streng hierarchisches Top-Down Vorgehen benutzt. Aus der graphischen Eingabe wurde die alphanumerische Beschreibung der Schaltung gewonnen, die nach kleineren Nacharbeiten auch als Eingabe für die funktionelle Simulation angewandt werden konnte. Zunächst mußte jedoch eine optimierte funktionelle Bibliothek der eingesetzten TTL-Schaltkreise (sowie später dann ebenso für die CMOS-Gatter) erstellt werden. Ein großer Aufwand war für die Erstellung der Szenarien, also Stimuli und Sollwerttabellen, notwendig. Im Gegensatz zum Vorgehen beim Schaltungsentwurf wurden die Simulationen schrittweise von unten nach oben vergrößert ('Bottom-Up') bis schließlich die funktionelle und zeitliche Korrektheit einer gesamten FDDI-II Station mittels Simulation verifiziert werden konnte. Die resultierenden Netzlisten konnten - teilweise leider ebenfalls wieder nur nach notwendigen Konversionen - von automatischen Platzier- und Verdrahtungsprogrammen weiterverarbeitet werden. Anschließend wurden und werden derzeit noch die globale Verdrahtung der Spannungsversorgung, die Verbindung mit den Bonding Pads und einige kleinere Nachbesserungen manuell durchgeführt. Parallel dazu müssen Testszenarien zur vollständigen funktionellen Überprüfung der Schaltungen erstellt werden.

ZUSAMMENFASSUNG UND AUSBLICK

Der Beitrag gab einen Überblick über ein Projekt zum Entwurf und Aufbau des hybriden Hochgeschwindigkeits-LAN FDDI-II. Neben einer kurzen Vorstellung der Hauptfunktionen einer Station wurden einige Anmerkungen zur Implementierung gemacht, wobei insbesondere die Umsetzung von diskret aufgebauten Platinenentwürfen in ASICs eingehender betrachtet wurde.

Zu Beginn des Projektes stand die Entwicklung von am Markt nicht verfügbarer Hardware im Vordergrund. Nachdem für alle wesentlichen Blöcke entsprechende Platinen- bzw. CMOS-Entwürfe vorliegen, liegt der Schwerpunkt mittlerweile bei den Software-Paketen Stations- und Netzmanagement, Kanalzuweisung/-verwaltung, erweiterte ISO-Ebene-3 Funktionalität zur Unterstützung der echten Doppelpfingnutzung und allgemeine Betriebssystemroutinen des Knotenprozessors.

Der Aufbau eines voll funktionsfähigen FDDI-II Netzes am Institut ist derzeit nicht geplant, da einerseits die Kosten für zumindest drei Stationen sowie eine angemessene Demonstration des Prototyp-Netzes, etwa eine komplette Videoumgebung, für die Universität zu hoch sind, andererseits FDDI-II durch die aus heutiger Sicht relativ geringe Bandbreite und die Schwierigkeit zu realisierende Zusammenarbeit mit dem zukünftigen ATM-basierten öffentlichen Netz momentan an Bedeutung verliert. (Diese Situation kann sich jedoch durch den Abschluß der Standardisierung und/oder einer Erweiterung von FDDI-II in Richtung 1 Gbit/sec und ATM-Kompatibilität schnell ändern). Trotzdem wird zumindest die zentrale und umfangreichste Komponente, der Hybrid-Multiplexer, in Silizium umgesetzt. Die Erstellung der umfassenden Testmuster, sowie letzte Anpassungen an die IMS-Randbedingungen werden derzeit im Rahmen von studentischen Arbeiten durchgeführt.

Der Schritt von Platinenentwürfen zu ASICs war - abgesehen von dem oben erwähnten teilweisen Redesign - mit sehr geringem Aufwand (2 Studenten, 1 Assistent je 1 Monat) leicht durchzuführen. Neben den bekannten Vorteilen von ASICs wie kleinere Systemgröße, geringerer Energiebedarf, höhere Geschwindigkeit, Zuverlässigkeit und Nachbausicherheit ergeben sich durch die Elektronenstrahl-Direktbelichtung, die kleinste Stückzahlen ermöglicht, ohne enorme Maskenherstellungskosten zu verursachen, inzwischen auch wirtschaftliche Vorteile. Durch die Benutzung von Bibliotheken und entsprechenden CAE-Werkzeugen wie Modul-Generatoren für reguläre Schaltungssteile, automatischen Platzier- und Verdrahtungsprogrammen und leistungsfähiger funktioneller Simulatoren ist es heute leicht möglich, ganze elektronische Systeme mittlerer Komplexität (bis zu mehreren Zehntausend Gatteräquivalenten) in ASICs umzusetzen. Dazu ist kaum technologisches Wissen notwendig und die Entwickler können sich wie gewohnt auf der Systemebene bewegen.

LITERATUR

- /1/ *FDDI Physical Layer*, Draft International Standard 9314-1, 1987
- /2/ *FDDI Physical Layer Medium Dependent*, Draft Proposed ANSI Standard X3T9.5, Rev. 7.3, 1988
- /3/ *FDDI Token Ring Media Access Control*, ANSI Standard X3T9.5, 1988
- /4/ *FDDI Station Management*, Draft Proposed ANSI Standard X3T9.5, Rev. 6.1, April 1990
- /5/ *FDDI Hybrid Ring Control*, Draft Proposed ANSI Standard X3T9.5, Rev. 5.2, April 1990
- /6/ Ross, F.E.; *FDDI - A Tutorial*, IEEE Comm. Mag., Vol. 24, No. 5, 1986, pp. 10-17.
- /7/ *The SUPERNET Family for FDDI*; AMD datobook, March 1989
- /8/ ISO 7498; *Information Processing Systems - Open Systems Interconnection - Basic Reference Model*, November 1983.
- /9/ ISO 8802/2; *Local Area Networks - Logical Link Control*, 1985.
- /10/ *i80960CA Programmer's Reference Manual*, intel, 1989.
- /11/ Siegel, M.; Sauer K.; Schödl W.; Tangemann M.; *Design of an enhanced FDDI-II System*, Proc. of the International Zurich Seminar 1990, Paper E9, pp. 418 - 433.
- /12/ Siegel, M.; Lempenau, W.; *Integrierte VLSI-Entwicklungsumgebung für kommunikationsorientierte Schaltkreise*, Mikroelektronik für die Informationstechnik '89, ITG-Fachbericht 110, S. 97-104.
- /13/ Fleming, P.; Geisberger, B.; *JTAG: Standardmäßiges Testen komplexer Systeme*, Elektronik, 12/89, Juni 1989.
- /14/ Beunder, M.; Höfflinger, B.; Kernhof, J.; *New Directions in Semicustom Arrays*, IEEE Journal of Solid State Circuits, Vol. 23, No. 3, June 1988.
- /15/ Bardell, P.H.; McAnney, W.H.; Savir, J.; *Build-In Test for VLSI*, Wiley Interscience Publications, Poughkeepsie/New York, 1987.