

# Integrierte VLSI-Entwicklungsumgebung für kommunikationsorientierte Schaltkreise

M. Siegel      W.W. Lemppenau

Institut für Nachrichtenvermittlung und Datenverarbeitung (IND)  
Seidenstraße 36, 7000 Stuttgart 1

## Übersicht

Anwendungsspezifische höchstintegrierte Schaltungen (ASICs) spielen zunehmend in der Automatisierungs-, Kommunikations-, Fertigungs- und Leittechnik eine größere Rolle. Sie ergänzen dort das Spektrum der Standardbauelemente beim Entwurf komplexer Steuerungen. Durch den anwendungsspezifischen Entwurf können maßgeschneiderte Lösungen realisiert werden, welche typischerweise Vorteile hinsichtlich Geschwindigkeit, Leistungsaufnahme, Platzbedarf und Nachbausicherheit aufweisen. Der Entwurf von ASICs obliegt meist dem Anwender, welcher i.a. nicht mit der Technologie höchstintegrierter VLSI-Schaltungen (engl. Very Large Scale Integration) vertraut ist. Dem Systementwickler müssen daher Werkzeuge und VLSI-Entwurfstechniken zur Verfügung gestellt werden, die ihm den möglichst einfachen Umgang mit dem kompletten VLSI-Entwurf ermöglichen.

Die Aspekte "Werkzeuge" und "Entwurfstechniken" bilden den Schwerpunkt des Beitrages. Die gegenseitigen Abhängigkeiten zwischen dem Arbeiten mit vorentworfenen Grundzellen, der speziellen Eignung der CMOS-Technologie bzw. der Anwendbarkeit hierarchischer Entwurfsprinzipien und den typischen Randbedingungen bei VLSI-unerfahrenen Systementwicklern werden aufgezeigt. Die signifikante Bedeutung einer integrierten Entwicklungsumgebung wird anhand dreier Merkmale diskutiert :

- Konsistenz der Entwurfsdaten auf allen Abstraktionsebenen  
(schematische Schaltungseingabe, Hardware-Beschreibung, Registertransfer-, Logik- und Analogsimulation, physikalische Layoutbeschreibung)
- Systembedingte hierarchische Top-Down-Vorgehensweise
- Einheitliche Benutzeroberfläche.

Der Beitrag beschreibt die vorteilhafte Anwendung der integrierten Entwicklungsumgebung ISIS<sup>1</sup> anhand eines durchgeführten Entwurfes einer schnellen Speichereinheit (FIFO) für Koppellemente in Paketvermittlungsstellen. Der Funktionsblock "Adreßzähler", welcher die Systemleistung maßgeblich festlegt, wird stellvertretend hinsichtlich den Wechselwirkungen zwischen den Aspekten der Vermittlungstechnik, der Codierungstheorie und denen eines Gesamtsystementwurfes vorgestellt.

## Einleitung

An nationalen wie an internationalen Forschungseinrichtungen wird an Verbesserungen des rechnerunterstützten Entwurfes (engl. Computer Aided Design, CAD) hochintegrierter Schaltungen gearbeitet [1,2], wobei typischerweise die Behandlung von Einzelaspekten des Entwurfsablaufes bzw. nur bestimmter Entwurfsstile im Vordergrund steht [3,4,5]. Bei industriell offerierter CAD-Software überwiegen hierzu analog aus Einzelkomponenten bestehende Entwicklungssysteme, welche überwiegend durch die folgenden Module charakterisiert sind :

- einen Graphikeditor für die schematische Schaltplaneingabe (engl. Schematics)
- einen Graphikeditor für die Erstellung des Layouts
- einen Analogsimulator

---

<sup>1</sup> : Integrating Systems Into Silicon

- einen Logiksimulator
- eine separate Überprüfung der Entwurfsregeln (engl. Design Rule Check)
- mehrere Postprozesse und Hilfsroutinen.

Der Vorteil der individuellen Konfiguration aus spezialisierten Einzelmodulen verliert jedoch durch die notwendigen Datenformatskonvertierungen, die dadurch fast zwangsläufig entstehenden Dateninkonsistenzen und durch die uneinheitliche Benutzeroberfläche signifikant an Gewicht.

Hinsichtlich einer hierarchischen Vorgehensweise können mit Hilfe vieler Layout-Graphikeditoren bestehende Layoutteile in ein aktuelles Layout eingebunden werden. Die zugehörige Datenbasis wird aber typischerweise ohne Hierarchiestufen<sup>2</sup> aufgebaut, um z.B. Entwurfsregelüberprüfungen leichter durchführen zu können [6]. Diese Problematik findet sich ebenfalls im Bereich der Simulatoren. Ein aktueller Datensatz kann aus mehreren unabhängigen Modulen aufgebaut werden, welche dann in der Regel vom Simulationscompiler auf die hierarchisch niedrigste Ebene zurückgeführt werden. Der Nachteil dieses Verfahrens ist in dem charakteristisch exponentiell steigenden CPU- und Speicherbedarf zu sehen [7].

## Integrierte Entwicklungsumgebung

Anforderungen an ein Entwurfswerkzeug hinsichtlich effizientem Entwurfsaufwand und Fehlerfreiheit sind allgemein :

- a) Die Entwickler auf den unterschiedlichen Abstraktionsebenen müssen sich verstehen, also eine einheitliche Nomenklatur verwenden
- b) Die völlige Entwurfsvfreiheit der VLSI-Entwickler sollte zugunsten einer höheren Gesamtproduktivität durch methodische Vorgaben eingeschränkt werden, obwohl dann vereinzelt nicht die optimale Lösung verwirklicht werden kann
- c) Das System muß über Mechanismen verfügen, die Dateninkonsistenzen weitgehend eliminieren, welche – insbesondere bei Entwürfen, an denen mehrere Ingenieure beteiligt sind – eine häufige Fehlerquelle darstellen
- d) Implizite Hierarchie sollte ausgenutzt werden, um die Lesbarkeit zu erhöhen und den Bedarf an Rechenleistung und Speicherbedarf zu reduzieren. Besonders effektiv wirkt sich eine Hierarchie bei Schaltungen aus, die einen großen Regularitätsfaktor R (Gesamtzahl aller Gatter bezogen auf die Zahl der unterschiedlichen Gatter) besitzen
- e) Datentransfers und -konvertierungen zwischen einzelnen Entwurfsschritten sollen möglichst nicht nötig sein bzw., wenn sie unvermeidbar sind, ohne jegliche Eingriffsmöglichkeit des Benutzers 'automatisch' ablaufen.

Das Entwurfssystem ISIS, dessen wesentliche Komponenten in Abbildung 1 dargestellt sind, wurde Anfang der 80-er Jahre bei der Firma INMOS aus der Notwendigkeit heraus entwickelt, sehr große Schaltungen (Transputer) bei akzeptabler Entwicklungszeit zu integrieren. ISIS berücksichtigt hierbei die oben genannten Anforderungen wie folgt :

Von zentraler Bedeutung innerhalb ISIS ist eine PASCAL-ähnliche Hardware-Beschreibungssprache (engl. Hardware Description Language, HDL). Diese HDL verfügt über einheitliche Sprachkonstrukte für alle Abstraktionsebenen (siehe a)) und kann entweder direkt mit einem beliebigen Editor von einem alphanumerischen Terminal aus eingegeben oder aus der graphischen Schaltplanrepräsentation (Schematics) gewonnen werden. Parallel zu anderen Hochsprachen ist ein wesentliches Hauptmerkmal die Modularität und damit eine ausgeprägte

<sup>2</sup>Oft auch mit "flacher" Struktur bezeichnet

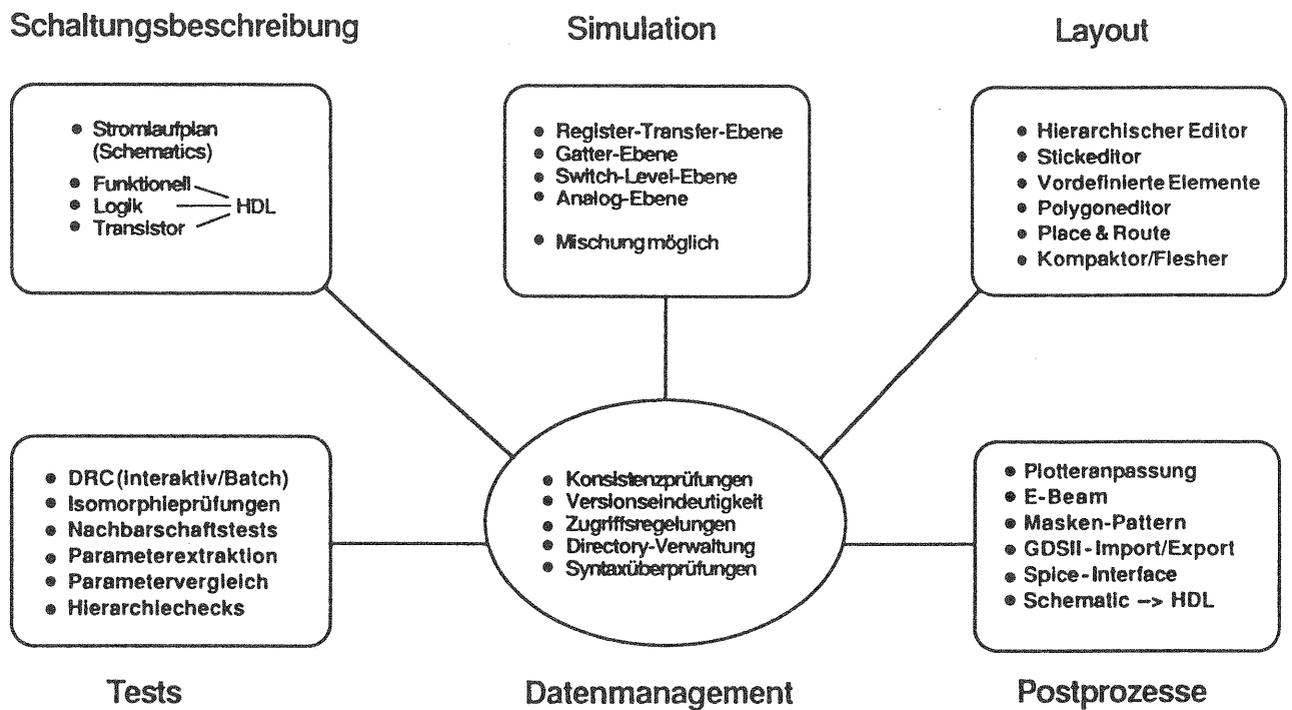


Abbildung 1: Komponenten des Entwurfssystems ISIS

Eignung für Hierarchie (siehe d)). Eine Schaltungsbeschreibung in HDL kann durch Aufruf von Teilschaltungen, welche wiederum aus Unterblöcken bestehen können, ohne einen einzigen explizit aufgeführten Transistor aufgebaut werden. Das wesentlich Neue an ISIS ist aber, daß eine völlige Isomorphie zwischen HDL, Schematics und physikalischer Layoutbeschreibung bestehen muß, siehe Abbildung 2. Dies hat zur Folge, daß alle Transistoren, Schaltungsknoten und Verbindungsleitungen im geometrischen Layout der Masken mit Namen versehen werden müssen. Der spontanen Kreativität des Entwicklers sind damit gewisse Grenzen gesetzt (siehe b)).

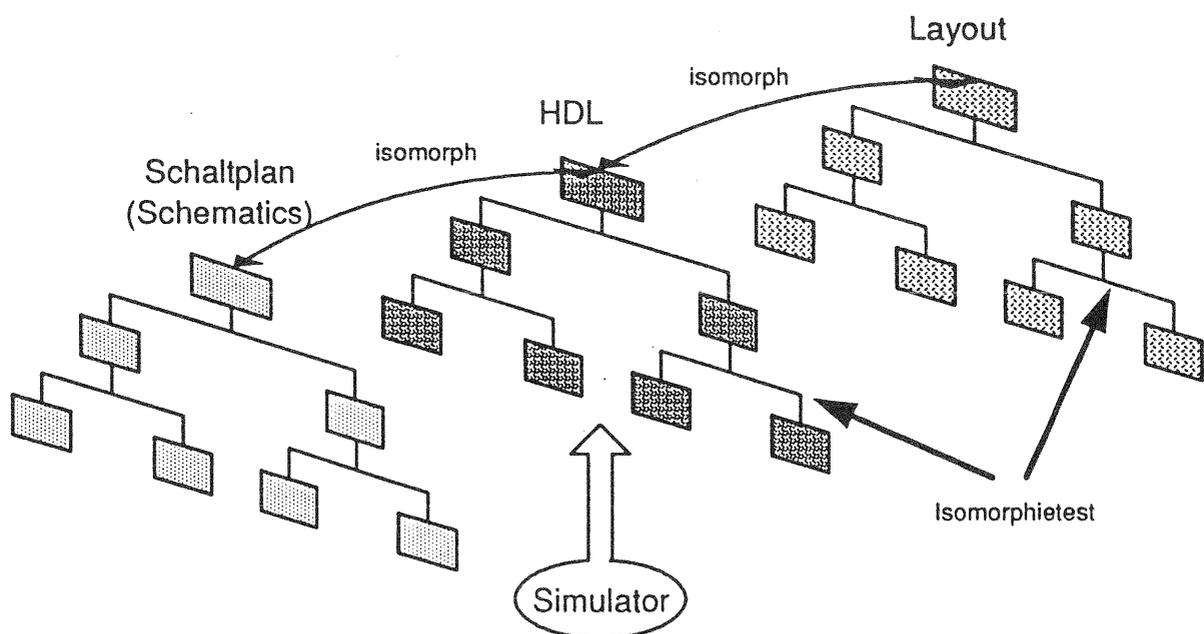


Abbildung 2: Beschreibungsformen in ISIS

Die HDL sieht spezielle Attribute wie Transistorgeometrien, Materialebene, Prozeßtoleranzen und Lastkapazitätsgrenzwerte vor. Durch die vorgeschriebene und überprüfbare Gleichheit der Beschreibungsformen ist die korrekte Umsetzung erfolgreich simulierter HDL-Beschreibungen in Layouts garantiert und erspart den aufwendigen und fehleranfälligen Kreislauf "Parameterextraktion - Neusimulation - Redesign"<sup>3</sup>.

ISIS erlaubt maximal einem Entwickler zu einer Zeit schreibend auf eine Layoutstruktur zuzugreifen. Alle anderen Entwickler können während dieser Zeit diese Struktur nur lesen. Dadurch wird eine Versionsvielfalt vermieden (siehe b)). Änderungen an Layouts bzw. an der HDL werden mit einem Zeitstempel versehen, der bei der Durchführung von Konsistenzüberprüfungen abgefragt wird. Einerseits werden bei Unstimmigkeiten entsprechende Warnungen ausgegeben, andererseits können mehrfache und damit unnötige Tests an gleichen, schon als richtig abgestempelten Schaltungsteilen vermieden werden.

Das Prinzip der Hierarchie beinhaltet nicht nur das graphische Erscheinungsbild sondern auch die gesamte interne Datenhaltung und deren Behandlung. Dies zeigt sich zum Beispiel bei der Isomorphieprüfung zwischen HDL und Layoutbeschreibung. Gleiche Teilelemente werden nur genau einmal auf interne Gleichheit überprüft und erhalten dann einen Zeitstempel. Im weiteren Entwurfsablauf sind dann nur noch die Informationen über Lage, Material und Breite der Kontakte zur Außenwelt (engl. Bristles) weiter relevant.

Bei der Überprüfung von Entwurfsregeln (engl. Design Rule Check, DRC) wird von ISIS berücksichtigt, daß zwei intern völlig korrekte Zellen beim Aneinanderfügen zu Entwurfsfehlern führen können, siehe Abbildung 3. Dazu wird jeweils der Randbereich von Nachbarzellen bis zur Breite des maximalen Entwurfsabstandes<sup>4</sup> in die DRCs einbezogen. Dies erfolgt jedoch nur, wenn die gerade zu untersuchende Nachbarschaft nicht schon einmal getestet wurde<sup>5</sup>. Bei regulären Schaltungsteilen, wie zum Beispiel systolischen Feldern aller Art, reduziert sich die benötigte Rechnerleistung durch dieses Verfahren dramatisch.

Das Entwurfssystem faßt Werkzeuge für sehr viele Teilschritte des VLSI-Entwurfes unter

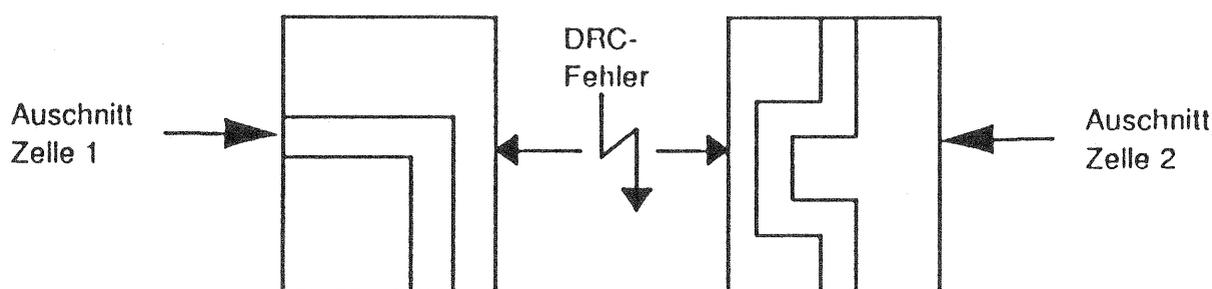


Abbildung 3: Regelverletzung beim hierarchischen Entwurf

einer einheitlichen Benutzeroberfläche zusammen, wodurch die notwendigen Konvertierungen zwischen den einzelnen Entwurfsebenen für den Benutzer völlig transparent erfolgen und somit vom Datenmanagement entsprechend verwaltet werden können, siehe b),e).

Die Vorteile der konsequenten Ausrichtung auf Hierarchie kommen erst bei großen Schaltungen zum Tragen. Bei kleinen, noch überschaubaren und wenig regulären Schaltungen kann der Aufwand für die Verwaltung der Hierarchie durchaus größer sein als der sich ergebende Nutzen. Desweiteren kann die immens steigende Anzahl von kleinen Zwischen- und Verwaltungsdateien sowie die systembedingte Unflexibilität bei nachträglichen, geringfügigen lokalen Modifizierungen, zum Beispiel dem Einfügen von nur lokal notwendigen Verbindungsleitungen über bestehende Zellen hinweg, als nachteilig angesehen werden.

<sup>3</sup> : Auch Backannotation genannt

<sup>4</sup> : Abstand zwischen unterschiedlich dotierten Wannern

<sup>5</sup> : Für jede Zelle wird eine Liste bereits geprüfter Nachbarschaftsbeziehungen geführt

## VLSI-Baustein für ATM

Obwohl heute die Einführung des schmalbandigen öffentlichen dienstintegrierten Digitalnetzes ISDN erst begonnen hat, wird schon am Konzept eines zukünftigen universellen Breitbandnetzes gearbeitet. Als ein mögliches Vermittlungsprinzip wird ATM (engl. Asynchronous Transfer Mode) diskutiert, welches im Rahmen von Forschungsprojekten des INDs untersucht wird. Ein ATM-Netzwerk überträgt alle Verkehrsarten in paketierter Form und ist durch Hochgeschwindigkeitsverbindungen, einfache Protokolle und Vermittlungsknoten mit hohem Durchsatz charakterisiert, siehe [11,12,13].

Die Koppelnetze für ATM sind überwiegend aus Koppellementen aufgebaut, bei denen Blockierungen auftreten können, wenn mehrere gleichzeitig an einem Koppellement ankommende Pakete den selben Ausgang des Schaltbausteines als Ziel haben. Um trotzdem die Verlustwahrscheinlichkeit für einzelne Pakete möglichst gering zu halten, ist es notwendig, in jedem Koppelbaustein geeignete Zwischenspeicher vorzusehen. Durchgeführte Leistungsuntersuchungen belegen, daß die Leistungsfähigkeit eines ATM-Netzes wesentlich durch diese Grundschaltelemente und speziell die Anzahl und Lage der jeweils zur Verfügung stehenden Pufferspeicher bestimmt ist, siehe [8,9,10]. Die Puffer sollen eine möglichst hohe Geschwindigkeit aufweisen, das Einschreiben und Auslesen sollen zeitlich völlig unabhängig von einander mit beliebiger Geschwindigkeit durchführbar sein, 1 Bit Wortbreite und mindestens die Größe einer ATM Grundeinheit<sup>6</sup> aufweisen.

Am IND wurde ein Konzept eines solchen Puffers entwickelt, in einen CMOS-Entwurf umgesetzt und am Institut für Mikroelektronik Stuttgart (IMS) auf Silizium umgesetzt. Abbildung 4 zeigt ein vereinfachtes Blockschaltbild des Pufferspeichers.

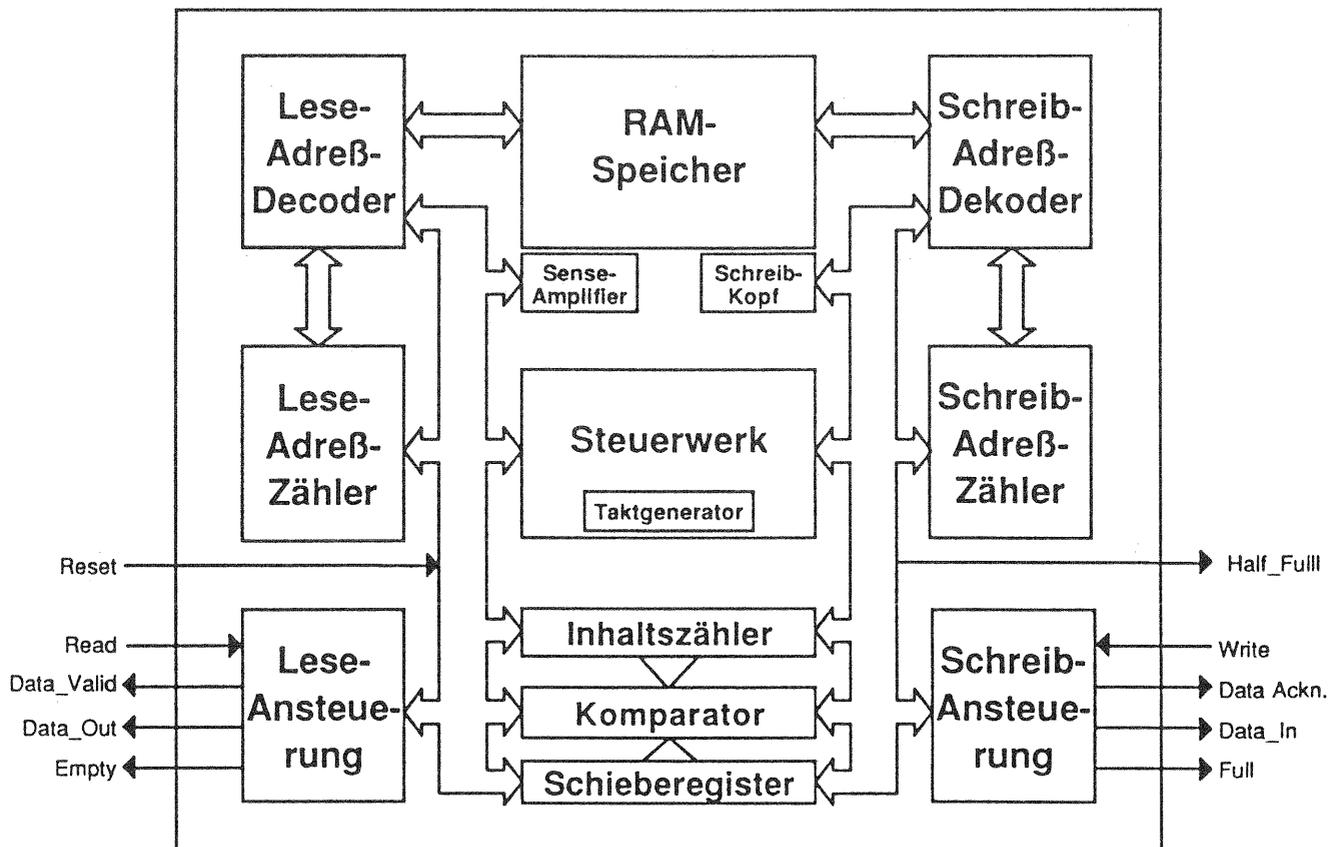


Abbildung 4: Blockschaltbild des schnellen ATM-Pufferspeichers (FIFO)

<sup>6</sup> : In der ATM-Nomenklatur "Zelle" genannt; derzeit werden 32 oder 64 Byte diskutiert

Die wesentlichen Charakteristika des Systemkonzeptes sind :

- Gleichzeitiges Lesen und Schreiben (engl. Dual-Ported)
- Statische 6- bzw. 8-Transistor-Grundzelle
- 2  $\mu\text{m}$ , 2 Metalllagen, P-Wannen ACMOS3-Prozeß
- Asynchrones äußeres Verhalten
- Programmierbares "Halb-Voll", "Voll", "Leer"
- Intern 50 MHz, extern 16 Mbit/sec effektive Datenrate
- Organisation 255 \* 1 Bit

Simulationen ergaben, daß die Gesamtleistungsfähigkeit nicht wie zu Beginn erwartet vom Lesezyklus des RAM-Kerns eingeschränkt wird. Die Beschränkung liegt in der Taktgeschwindigkeit aller Zählermodule<sup>7</sup>. Bei Vergleich der drei Zähler untereinander wurde der in zwei Richtungen arbeitende Inhaltzähler als das zeitkritischste Modul identifiziert. Asynchrone Zählerkonzepte, bei denen der Übertrag von Stelle zu Stelle zeitintensiv weitergereicht wird (engl. Carry Rippling), scheiden damit für die Realisierung aus. Synchron schaltende Zähler mit paralleler Vorrausberechnung des Gesamtübertrags (engl. Carry Look Ahead) erwiesen sich bei der eingesetzten Breite von 8 Bit hinsichtlich der benötigten Layoutfläche als zu aufwendig.

Die in diesem Falle ideale Lösung sind die aus der Codierungstheorie und Signaturanalyse [14,15] her bekannten linear rückgekoppelten Schieberegister (engl. Linear Feedback Shift Register, LFSR). Abbildung 5 zeigt die logische Schaltungsstruktur eines 4 Bit breiten LFSRs. Dieser Zählertyp schaltet taktsynchron, benötigt keinerlei Übertragsberechnung, be-

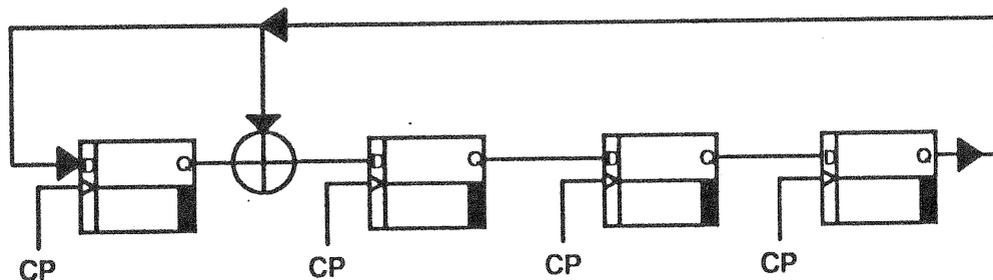


Abbildung 5: Schaltungsstruktur eines 4 Bit LFSR

sitzt eine weitgehend von der Wortbreite unabhängige Verzögerungszeit und ist mit sehr geringem Hardware-Aufwand zu realisieren. Bei einer n-Bit Wortbreite ist maximal eine Periode von  $2^n - 1$  erreichbar. Charakteristisch für diesen Zählertyp ist die nicht sequentielle binäre Sequenz der Zählerzustände. Für die hier vorliegende Applikation bedeutet dies, daß die streng sequentielle Struktur logisch aufeinanderfolgender FIFO-Speicherzellen bei der physikalischen Realisierung nicht beibehalten wird. Bei geeigneter Wahl zusätzlicher Rückkopplungen kann darüber hinaus erreicht werden, daß der selbe Zähler, von außen steuerbar, die Zählerzustände in Vorwärts- wie in Rückwärtsrichtung durchläuft. Damit läßt sich dieser Zählertyp auch für den Inhaltzähler verwenden, was zu einer einheitlichen Zählermodulstruktur im gesamten FIFO führt.

<sup>7</sup> : Leseadref-, Schreibadref- und Inhaltzähler

## Aspekte der Systementwicklung

Neben der Anforderung, für Laborimplementierungen am IND einen schnellen FIFO-Baustein zur Verfügung zu haben, ermöglichte die Realisierung, unterschiedliche Entwurfsmethoden kennenzulernen und ihre Eignung für VLSI-unerfahrene Systementwickler zu bewerten.

Der komplette RAM-Kern wurde streng manuell, ausgehend von einer flächenoptimierten Urspeicherzelle in Bottom-Up-Vorgehensweise entworfen. Im Gegensatz zu dieser vollkundenspezifischen Vorgehensweise (engl. Full Custom Design) wurden das Steuerwerk und alle Zähler mit Hilfe von Standardzellen aufgebaut (engl. Semi Custom Design). Voraussetzung dafür sind entsprechend vorbereitete Bibliothekselemente sowohl in Form von Layoutdaten als auch jeweils optimierte Module für die Simulationen auf Register-Transfer-, Gatter-, Switch-Level- und Analogebene. Basierend auf den am IND erstellten Bibliotheken konnte der Nachweis eines effizienten Einsatzes der (teil-)automatischen Platzierung und Verdrahtung beim Semi Custom Design erbracht werden.

Im Verlauf des Entwurfes wurden Systemdetails deutlich, welche einen positiven Einfluß auf die Einarbeitungszeit und die Akzeptanz des Systems sowie die Entwurfssicherheit haben<sup>8</sup>. Innerhalb des Layoutteiles sind positiv die sofortige interaktive Anzeige von Entwurfsregelverletzungen und das Arbeiten mit elektrischen Grundeinheiten, wie zum Beispiel Transistoren, Kontakten, Substrat-Taps oder Verbindungen zu vermerken. Beide Eigenschaften unterstützen Anwender, welche nur wenig Technologieerfahrung besitzen und/oder nicht ständig alle Entwurfsregeln beherrschen. Von besonderer Bedeutung für den oben aufgeführten Benutzerkreis ist die herausragende Eigenschaft der CMOS-Technologie, nicht jeden Transistor einzeln abhängig von seiner Umgebung neu dimensionieren zu müssen [16,17].

Die zunächst als hemmend angesehene Systemvorgabe, alle Layoutteile mit Namen versehen zu müssen, erwies sich im Verlauf des Projektes als einer der größten Vorteile des Systems. Einerseits wird das Verständnis für den Zusammenhang zwischen Schaltungsfunktion und Schaltungslayout gefördert, andererseits werden die häufig auftretenden Topologie-Unstimmigkeiten während des eigentlichen Entwurfes direkt behoben.

Die Projektdurchführung erbrachte, daß nach einer Eingewöhnungszeit die alphanumerische Form der Schaltungsbeschreibung (HDL) wesentliche Vorteile gegenüber der gewohnten graphischenn Stromlaufplaneingabe besitzt. HDL ist durch die vielen vorgebbaren Attribute signifikant leistungsfähiger und exakter. Die bei einem hierarchischen Entwurf notwendigen Signalbenennungen auf den unterschiedlichen Ebenen sind in HDL klarer zu strukturieren.

## Zusammenfassung

Mit der in diesem Beitrag vorgestellten Entwicklungsumgebung ist das IND in der Lage, schnell und effizient Systementwürfe in VLSI zu realisieren. Das vorgestellte Projekt zeigt eine Vorgehensweise auf, wie angehenden Systemingenieuren mit wenig Technologiewissen die Aneignung von Kenntnissen über den der Einsatz von Mikroelektronik ermöglicht wird.

Die Autoren bedanken sich bei Herrn Prof. Dr.-Ing. P. Kühn für die Unterstützung des Projektes, bei Herrn Prof. Dr. rer. nat. Höfflinger für die Kooperation bei der Fertigung des Chips und bei Herrn H. Kocher für seine Anregungen hinsichtlich den theoretischen LFSR-Grundlagen.

---

<sup>8</sup> : Diese Aspekte sind insofern von signifikanter Bedeutung, da an einem Hochschulinstitut kontinuierlich von VLSI-unerfahrenen, studentischen Benutzern ausgegangen werden muß

# Literatur

- [1] NEWTON A.R., SANGIOVANNI-VINCENTELLI A.L. : "CAD Tools for ASIC Design", Proceedings IEEE, Vol. 75, June 1987, pp. 765-776.
- [2] 25th ACM/IEEE Design Automation Conference, gesamte Konferenz, Anaheim, U.S.A., June 1988.
- [3] TAVANGARIAN D., BECHTHOLD M. et al : "Simulation hybrider Schaltungen mit HADIS", E.I.S.-Workshop, GMD-Studie Nr. 126, Okt. 1987, Seite 54-63.
- [4] KLEINHANS J.M. : "Channel-Routing für zwei und drei Verdrahtungsebenen mit Behandlung zyklischer Konflikte" E.I.S.-Workshop, GMD-Studie Nr. 126, Okt. 1987, Seite 206-215.
- [5] BONATH W., GLESNER M. : "Kompaktierungsverfahren für den symbolischen Entwurf von VLSI-Schaltungen", E.I.S.-Workshop, GMD-Studie Nr. 113, Juli 1986, Seite 20-30.
- [6] NIESSEN C. : "Hierarchical Design Methodologies and Tools for VLSI Chips", Proceedings IEEE, Vol. 71, Jan. 83, pp. 66-75.
- [7] KÖTZLE G. : "Computer Aided VLSI Chip Design", Mikroelektronik für die Informationstechnik, NTG Fachberichte 96, Berlin 1986.
- [8] TURNER J.S. : "Design of an Integrated Services Packet Network", 9th Data Comm. Symp. 1985, ACM SigCom Computer Review, Vol. 15-4.
- [9] RATHGEB E.P., THEIMER TH., HUBER M.N. : "Buffering Concepts for ATM-Switching Networks", GLOBECOM 88, Florida, USA.
- [10] KAROL M. : "Input versus Output Buffering", IEEE Transactions Communications, vol. 35-12, Dec. 1987, pp. 1347-1356.
- [11] HUI J.Y. : "Network, Transport, and Switching Integration for Broadband Communications", IEEE Network, vol. 3-3, Mar. 1989, pp. 40-51.
- [12] GECHTER J., O'REILLY P. : "Conceptual Issues for ATM", IEEE Network, vol. 3-1, Jan. 1989, pp. 14-28.
- [13] HÄNDEL R. : "Evolution of ISDN Towards Broadband ISDN ", IEEE Network, vol. 3-1, Jan. 1989, pp. 7-13.
- [14] SWOBODA J. : "Codes zur Fehlererkennung und Fehlerkorrektur", R. Oldenbourg Verlag, 1973.
- [15] MCANNEY W.H., SARIR J. : "There is information in Faulty Signature", International Test Conference, Paper 26.1.
- [16] MEAD C., CONWAY L. : "Introduction to VLSI Systems", Addison-Wesley Publishing Company, 1980.
- [17] WESTE N., ESHRAGHIAN K. : "Principles of CMOS VLSI Design", Addison-Wesley Publishing Company, 1985.