

Familien digitaler integrierter Schaltungen

Von Paul Kühn, Stuttgart

DK 621.382 — 181.4 : 621.377.6

ETZ-B Bd. 22 (1970) H. 1

Inhalt

Der vorliegende Aufsatz behandelt die wichtigsten Familien digitaler integrierter Schaltungen. Es wird versucht, eine Übersicht über den derzeitigen Stand der verschiedenen Schaltkreistechniken zu geben, indem die grundsätzlichen Funktionsweisen sowie die hervorstechendsten Vor- und Nachteile der einzelnen Familien diskutiert werden. Ein Ausblick auf neue Technologien und Anwendungsbereiche beschließt den Aufsatz.

Dipl.-Ing. P. Kühn ist wissenschaftlicher Assistent am Institut für Nachrichtenvermittlung und Datenverarbeitung der Universität Stuttgart.

Seit den ersten Experimenten mit Halbleitereffekten, die 1948 von Shockley, Bardeen und Brattain gemacht wurden, haben Halbleiterschaltungen in allen Gebieten der Nachrichtentechnik Anwendung gefunden. Zunächst wurden Halbleiterbauelemente vornehmlich in analogen Schaltungen angewendet. Mitte der fünfziger Jahre wurden sie auch in elektronischen Digitalrechnern mit großem Erfolg eingesetzt. Man kann sogar sagen, daß die Halbleiterbauelemente erst die Computer-Ära ermöglichten. Den Anzeichen nach werden die siebziger Jahre durch die Anwendung von hochgradig integrierten mikroelektronischen Schaltungen, die einen ganzen Schaltungskomplex verwirklichen, charakterisiert sein.

Unter Integration versteht man die Herstellung ganzer Schaltkreise auf einem Plättchen, dem Chip. Die Größe eines Chips beträgt ungefähr 1 bis 2 mm². Auf einem Chip werden mehrere Gatterschaltungen, z. B. 8 NAND-Gatter, oder Speicherelemente, z. B. 2 JK-Master-Slave-Flipflops, untergebracht. Die Anzahl der hergestellten Funktionseinheiten, die in der kleinsten serienmäßig hergestellten und abgeschlossenen Einheit, dem Modul, untergebracht sind, bestimmen den Grad der Integration. Sind mehr als 100 Funktionseinheiten auf einem Modul untergebracht, dann spricht man von Großintegration (Large Scale Integration LSI), sonst von Klein- (Small Scale Integration SSI) oder Mittelintegration (Medium Scale Integration MSI). Mit der Integration verbinden sich die Zielvorstellungen von wirtschaftlicher Massenproduktion, höherer Zuverlässigkeit, besserem Betriebsverhalten, kleinstmöglicher Größe, niedrigem Preis und neuen Anwendungsmöglichkeiten, z. B. bei digitalen Speichern.

Für die Herstellung von integrierten Digitalisierungen hat sich das Silizium-Planarverfahren durchgesetzt, das schon für die Herstellung einzelner Transistoren angewendet wird. Für eine ausführliche Darstellung des Herstellungsprozesses sei auf [1] und [2] verwiesen. Als wesentlich verschiedene Elemente innerhalb einer integrierten Schaltung sind Transistoren, Widerstände, Isolierungen sowie Zwischenverbindungen aus Metall anzusehen. Dioden werden hierbei hergestellt; man benutzt dafür pn-Übergänge von Transistorstrukturen.

In Digitalisierungen wird der Transistor — im Gegensatz zu Analogschaltungen — grundsätzlich nur in zwei Zuständen betrieben, und zwar im gesperrten (AUS) und im leitenden (EIN) Zustand. Er hat also zwei Arbeitspunkte. Bild 1 zeigt die Grundschaltung des bipolaren npn-Schalttransistors sowie das Kennlinienfeld. Die Schaltung in Bild 1 arbeitet nach dem sogenannten Sättigungsprinzip, d. h., der EIN-Arbeitspunkt liegt im Sättigungsbereich des Kennlinienfeldes. Dieses Prinzip liegt der Widerstands-Transistor-Logik, der Dioden-Transistor-Logik, der Transistor-Transistor-Logik sowie der bipolaren Komplementär-Transistor-Logik zugrunde. Bei der emittergekoppelten

Transistor-Logik wird ein anderes Prinzip angewendet, das sogenannte Stromschalterprinzip, bei dem der Transistor vom Sperrbereich nur in den aktiven Bereich angesteuert wird.

Der Transistor ist im AUS-Zustand, wenn die Eingangsspannung $U_g = 0\text{ V}$ ist. Als Kollektorstrom fließt nur der sehr geringe Kollektorreststrom I_{CBO} , und die Ausgangsspannung ist ungefähr gleich der Versorgungsspannung U . Der Transistor befindet sich im EIN-Zustand, wenn die Eingangsspannung $U_g = U$ ist. Der Kollektorstrom ist näherungsweise durch $I_C = U/R_C$ gegeben. Die Ausgangsspannung ist gleich der Kollektor-Emitter-Sättigungsspannung U_{CE0} , die einen geringen Betrag von etwa 200 mV besitzt. Um eine sichere Übersteuerung zu gewährleisten, wird der Basiswiderstand R_B so dimensioniert, daß im EIN-Zustand ein größerer Basisstrom als I_C/β_N fließt ($\beta_N =$ Stromverstärkung im Normalbetrieb). Hierdurch wird die Einschaltzeit wesentlich verkürzt, was beim Ausschalten jedoch eine geringe Verzögerung zur Folge hat. Die in Bild 1 dargestellte Transistorstufe stellt ein logisches Negationsglied dar.

Es soll nun noch kurz auf die wichtigsten Begriffe und Definitionen im Zusammenhang mit integrierten Digitalisierungen eingegangen werden.

Positive Logik liegt vor, wenn die logische „0“ niedriges Potential und die logische „1“ hohes Potential hat. Negative Logik liegt bei entgegengesetzter Zuordnung der Potentiale für die logische „0“ bzw. „1“ vor.

Von großer praktischer Bedeutung ist die Möglichkeit der Signalverzweigung. Unter dem Eingangsfächer (fan-in) versteht man die Anzahl von logischen Eingangsgrößen, die im Gatter miteinander verknüpft werden. Der Ausgangsfächer (fan-out) erteilt über die Belastungsfähigkeit des Gatterausgangs Auskunft. Er gibt die höchste Zahl von Gattereingängen an, die von dem betreffenden Ausgang her parallel gespeist werden können.

Schaltzeiten werden durch einen Mittelwert, die sogenannte Verzögerungszeit (propagation delay), angegeben. Die Definition der Verzögerungszeit $t_{pd} = 0,5 (t_1 + t_2)$ ist unmittelbar aus Bild 2 zu entnehmen.

Es gibt noch eine Reihe weiterer Kenngrößen wie statischer und dynamischer Störabstand, Unempfindlichkeit gegen Schwankungen der Versorgungsspannung, Temperaturbereich, Leistungsverbrauch usw., auf die hier jedoch nicht näher eingegangen werden soll.

Familien digitaler integrierter Schaltungen

Dieser Abschnitt enthält die wichtigsten Familien integrierter Digitalisierungen. Im einzelnen wird in sechs Schaltkreisfamilien unterteilt: 1. Widerstands-Transistor-Logik, 2. Dioden-Transistor-Logik, 3. Transistor-Transistor-Logik, 4. Emittergekoppelte Transistor-Logik, 5. Metall-Oxid-Silizium-Feldeffekt-Transistor-Logik, 6. Komplementär-Transistor-Logik. Ferner wird auch auf einige Abarten von den üblichen Schaltkreisfamilien eingegangen. Die Schaltkreisfamilien werden durch typische, teilweise vereinfachte Gatter-Grundschaltungen charakterisiert.

Widerstands-Transistor-Logik RTL

(Resistor-Transistor-Logic RTL, Direct-Coupled-Transistor-Logic DCTL)

Bild 3 zeigt die grundsätzliche Konfiguration eines NOR-Gatters in RTL. Die Basiswiderstände sind typisch für die RTL. Sie verhindern eine unsymmetrische Stromverteilung zwischen parallelgeschalteten Transistoren (current-hogging)

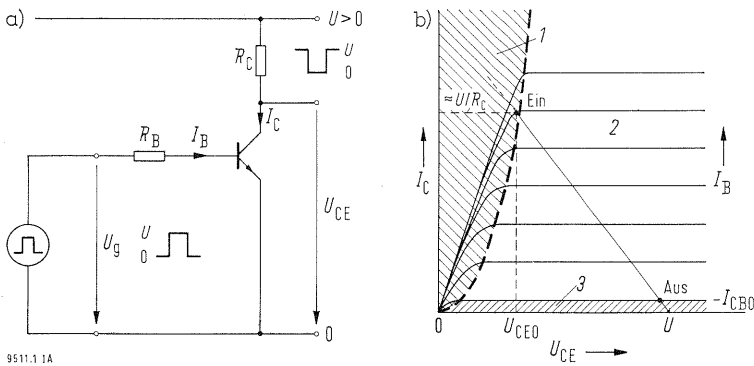


Bild 1
Transistorschalter nach dem Sättigungsprinzip (Saturated-Switching-Mode), Schaltung (a) und Kennlinien (b).
1 Sättigungsbereich
2 aktiver Bereich
3 Sperrbereich

Bild 2
Zur Definition der Verzögerungszeit t_{pd} zwischen Eingangssignal (1) und Ausgangssignal (2).

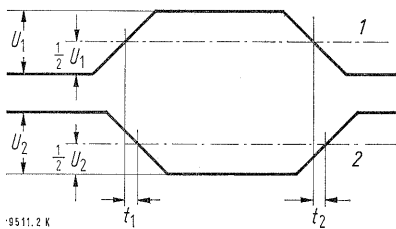


Bild 3
Widerstands-Transistor-Logik (RTL).

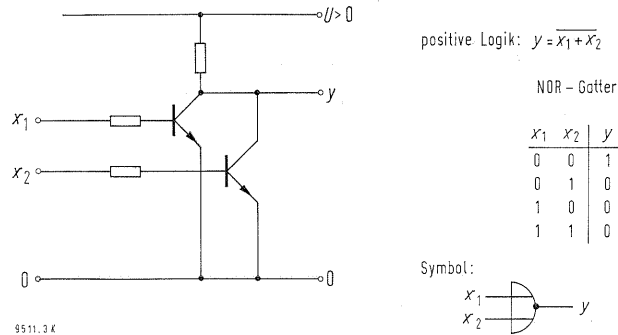
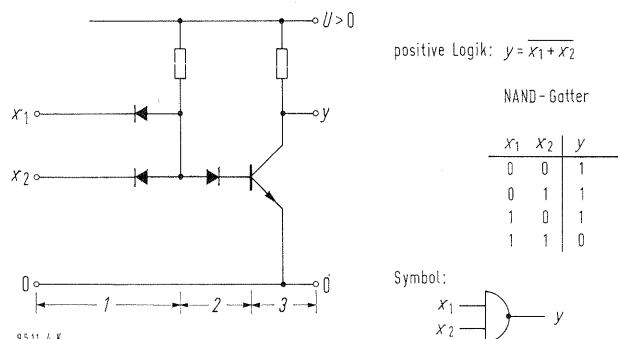


Bild 4
Dioden-Transistor-Logik (DTL).
1 Eingangsgatter
2 Hubdiode
3 Inversionsgatter



problem) [3, 4]. Als Nachteil ist eine niedrige Schwellenspannung zu verzeichnen, die in der Größenordnung von 300 bis 500 mV liegt. Sie ist außerdem noch stark temperaturabhängig. RTL-Schaltkreise haben aus diesem Grunde keine hohe Störempfindlichkeit. Die fan-out-Werte bewegen sich zwischen 10 und 20, typische Verzögerungszeiten liegen im Bereich von 10 ns bis 40 ns.

Dioden-Transistor-Logik DTL
(Diode-Transistor-Logic DTL)

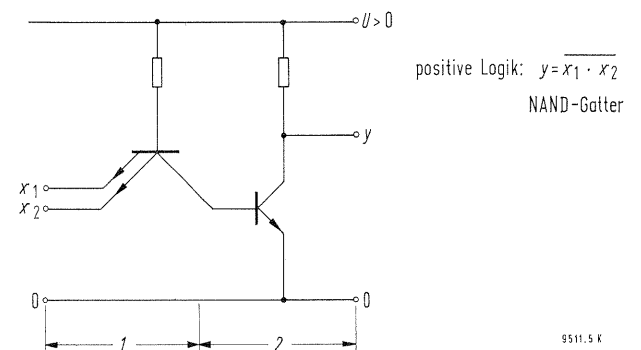
In Bild 4 ist die grundsätzliche Struktur eines NAND-Gatters in DTL gezeigt, bestehend aus dem logischen Eingangsgatter, der Hubdiode und dem Inversionsgatter am Ausgang. Der Name für diese Familie, die bereits von der konventionellen, nichtintegrierten Technik her bekannt ist, leitet sich vom logischen Dioden-Eingangsgatter ab. Eine oder mehrere Hubdioden sind der Basis des Ausgangstransistors vorgeschaltet. Dadurch wird die Unempfindlichkeit gegen Störspannungen um den Betrag der Schleusenspannung erhöht. Eine sehr hohe Störspannungs-Unempfindlichkeit bis zu 6 V erreicht man mit einer Z-Diode. Dieser besondere Typ der DTL wurde DTLZ benannt [5]. Die DTL hat ein fan-out von etwa 10 bis 20 und eine Verzögerungszeit von 20 ns bis 100 ns. Die DTL ist in der Vergangenheit wohl die meistbenutzte Schaltkreistechnik für digitale Anwendungen gewesen [6].

Ein weiterer besonderer Typ der DTL-Familie ist die lastkompensierte DTL (Load-Compensated-Diode-Transistor-Logic LCDTL) [7]. Der Ausgang der Hubdioden wird auf eine Kollektorschaltung (Emitterfolger) geführt, die das Inversionsgatter am Ausgang speist. Der Emitterfolger zieht gerade soviel Strom von der Spannungsversorgung, um den Laststrom am Ausgang aufrechtzuerhalten. Die Schaltung ist in dem Sinn lastkompensiert, daß bei größerer Ausgangsbelastung dem Ausgangstransistor auch ein größerer Basisstrom zugeführt wird. Für den Ausgangstransistor ist zusätzlich noch eine Festhaltediode vorgesehen, die die Übersteuerung in den Sättigungsbereich verhindert. LCDTL-Schaltkreise erreichen ein fan-out von 40 und haben eine Verzögerungszeit von 6 ns bis 20 ns.

Transistor-Transistor-Logik TTL
(Transistor-Transistor-Logic TTL)

Das logische Eingangsgatter und die Hubdiode des DTL-Schaltkreises (Bild 4) können zu einem Multi-Emitter-Transistor vereinigt werden. Auf diese Weise kommt man zur

Bild 5
Transistor-Transistor-Logik (TTL).
1 Multi-Emittertransistor, entspr. Eingangsgatter und Hubdiode
2 Inversionsgatter



Grundschialtung der Transistor-Transistor-Logik TTL nach Bild 5 [3, 4]. Die logische Funktion dieser Grundschialtung ist gleich der logischen Funktion einer DTL-Grundschialtung.

Ist mindestens an einem Eingang die Spannung 0 V (logische „0“), dann arbeitet der Multi-Emitter-Transistor als gesättigter Transistor in Emitterschaltung bei Normalbetrieb. Am Kollektor des Multi-Emitter-Transistors liegt ungefähr 0 V, und der Ausgangstransistor ist gesperrt, d. h., am Ausgang liegt die Spannung U (logische „1“). Liegt in allen Eingängen die Spannung U (logische „1“), dann arbeitet der Multi-Emitter-Transistor als Transistor in Emitterschaltung bei Inversionsbetrieb, d. h., die Kollektor-Basis-Diode ist leitend. Der Ausgangstransistor wird voll angesteuert, so daß am Ausgang ungefähr 0 V liegen (logische „0“). Damit ist ein NAND-Gatter verwirklicht.

In praktischen TTL-Schaltkreisen wird zusätzlich eine Darlington-Transistorstufe am Ausgang verwendet, um den Ausgangswiderstand zu erniedrigen und um die Geschwindigkeit selbst bei kapazitiver Last zu erhöhen [8, 9]. Bild 6 zeigt ein Beispiel eines solchen praktischen TTL-Schaltkreises.

TTL-Schaltkreise haben sehr kleine Verzögerungszeiten, da die Ladungen für die Ausgangsstufe nicht von „passiven“ Dioden geliefert werden wie bei DTL-Schaltkreisen, sondern von einem „aktiven“ Transistor. Typische Werte für die Verzögerungszeiten sind 4 ns bis 15 ns. TTL-Schaltkreise mit einer Darlington-Transistorstufe erreichen fan-out-Werte bis zu 50. Die TTL-Schaltkreisfamilie ist voll kompatibel mit der DTL-Schaltkreisfamilie. Zur Zeit ist die TTL die meistbenutzte Schaltkreisfamilie für digitale Anwendungen.

Emittergekoppelte Transistor-Logik ECTL

(Emitter-Coupled-Transistor-Logic ECTL)

Der ECTL liegt das schon eingangs erwähnte Stromschalterprinzip zugrunde. Gewöhnlich werden beim Stromschalterprinzip zwei Transistoren p1 und p2 benötigt (Bild 7). Transistor p2 wird durch die konstante Hilfsspannung U_H ($0 < U_H < U$) angesteuert, während Transistor p1 durch Spannungen angesteuert wird, die symmetrisch zu U_H liegen:

$$U_{g\text{ EIN}} \geq U_H + (U_{\text{BEX}} - U_{\text{BEY}}): \text{ p 1 leitend, p 2 gesperrt,} \tag{1a}$$

$$U_{g\text{ AUS}} \leq U_H - (U_{\text{BEX}} - U_{\text{BEY}}): \text{ p 1 gesperrt, p 2 leitend.} \tag{1b}$$

Dabei sind U_{BEX} ($> 0 \text{ V}$) die Basis-Emitter-Spannung des leitenden Transistors, U_{BEY} ($< 0 \text{ V}$) die Basis-Emitter-Spannung des gesperrten Transistors. Die Differenz ($U_{\text{BEX}} - U_{\text{BEY}}$) nimmt Werte von etwa 600 mV an und hängt insbesondere nicht von der Temperatur ab. Beide Transistoren sind über den gemeinsamen Emitterwiderstand R_E rückgekoppelt, der charakteristisch für das Stromschalterprinzip ist. Häufig wird auch im Emitterkreis eine Konstantstromquelle anstelle von R_E verwendet. Wie weiter unten gezeigt wird, stellt R_E nur näherungsweise eine Konstantstromquelle dar. Eine bessere Lösung wird mit einer Transistorschaltung erzielt.

Die Funktion des Stromschalters läßt sich folgendermaßen beschreiben: Ist $U_g = U_{g\text{ AUS}}$, dann ist p1 nichtleitend und p2 leitend (AUS-Zustand). Es gilt

$$I_{E1\text{ AUS}} \approx 0, \tag{2a}$$

$$I_{E2\text{ AUS}} \approx \frac{1}{R_E} (U_{\text{BEX}} - U_H), \tag{2b}$$

$$U_{\text{CE1 AUS}} \approx U - U_H + U_{\text{BEX}}. \tag{2c}$$

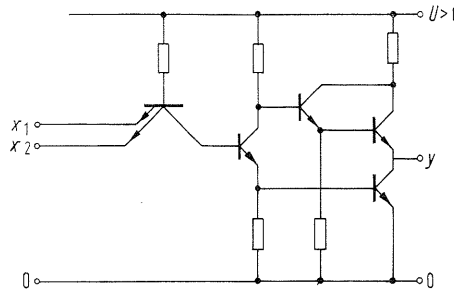
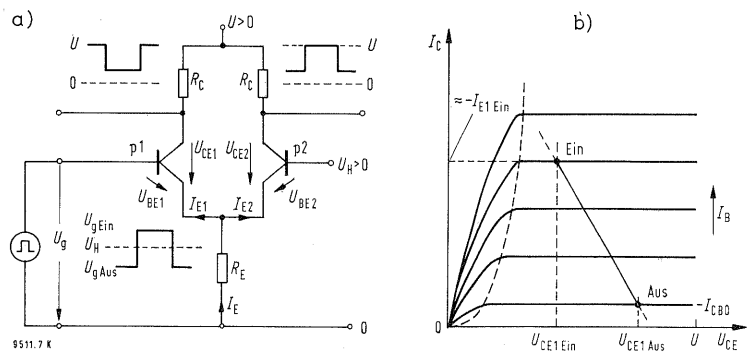


Bild 6

positive Logik:
 $y = \overline{x_1 + x_2}$
 NAND-Gatter

9511.8 K

Bild 7



Ist $U_g = U_{g\text{ EIN}}$, dann ist p1 leitend und p2 nichtleitend (EIN-Zustand). Es gilt

$$I_{E1\text{ EIN}} \approx \frac{1}{R_E} (U_{\text{BEX}} - U_{g\text{ EIN}}). \tag{3a}$$

$$I_{E2\text{ EIN}} \approx 0, \tag{3b}$$

$$U_{\text{CE1 EIN}} \approx U - \frac{R_E + R_C}{R_E} (U_{g\text{ EIN}} - U_{\text{BEX}}), \tag{3c}$$

Mit $U_{\text{BEX}} \ll U_H$, $|U_{\text{BEY}}| \ll U_H$ folgt aus (2b), (3a) mit (1a)

$$I_{E1\text{ EIN}} \approx I_{E2\text{ AUS}}, \tag{4}$$

d. h., ein nahezu konstanter Strom wird also von einem Transistor zum anderen Transistor umgeschaltet und umgekehrt. Dieses Prinzip ist Ursache für die Bezeichnung „Stromschalter“. In der angelsächsischen Literatur sind deshalb auch anstelle von ECTL häufig die Bezeichnungen Current-Mode-Logic (CML) oder Emitter-Coupled-Current-Steered-Logic (ECCSL) anzutreffen.

Aus den obenstehenden Gleichungen kann man ferner ablesen, daß für passende Wahl von R_E und R_C der EIN-Arbeitspunkt von p1 in den aktiven Bereich des Transistorkennlinienfeldes gelegt werden kann. Für p2 gelten infolge Symmetrie dieselben Überlegungen. Das Vermeiden des Sättigungsbereiches bedingt, daß beim Ausschalten eines Transistors so gut wie keine Speicherzeit auftritt. ECTL-Schaltkreise haben deshalb die kleinsten Schaltzeiten aller integrierten Digitalschaltungen. Bemerkenswert ist noch, daß der Stromschalter gleichzeitig Signal und Komplementärsignal liefert.

In Bild 8 ist die Grundschialtung eines ODER(NOR)-Gatters in ECTL gezeigt [3, 4]. Transistor p1 wurde durch die Transistoren p1' und p1'' ersetzt. Am Ausgang wurden Emitterfolger hinzugefügt, die ein großes fan-out bewirken. Die in Bild 7 zusätzlich benötigte Hilfsspannung U_H wird

Bild 6
TTL-Schaltkreis mit einer Darlington-Transistorstufe am Ausgang.

Bild 7
Transistorschalter nach dem Stromschalterprinzip (Current-Switching-Mode), Schaltung (a) und Kennlinien (b).

Bild 8
Emittergekoppelte Transistor-Logik (ECTL).
1 Stromschalter-Eingangsgatter
2 Hilfsspannungsquelle
3 Ausgangs-Emitterfolger

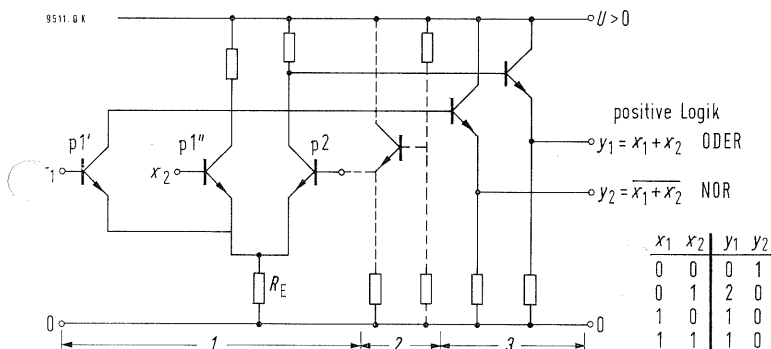


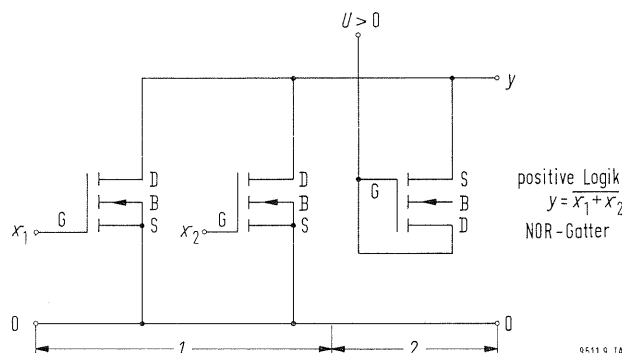
Bild 8

hier durch einen Transistor und drei Widerstände aus der Versorgungsspannung U erzeugt [8].

Bei einem weiteren Schaltkreis in ECTL werden am Eingang des Gatters Emitterfolger benutzt. Die komplementären Ausgänge werden durch die Kollektoranschlüsse des Stromschalters gebildet [10]. Diese Schaltkreise haben ein großes fan-out und können auch dazu benutzt werden, niederohmig abgeschlossene Leitungen zu speisen (Leitungstreiber).

Bild 9
Metall-Oxid-Silizium-Feldeffekt-Transistor-Logik (MOSFETL).

- 1 logisches Gatter
- 2 Widerstand in MOSFET-Technik
- G Steuerelektrode (Gate)
- D Senke (Drain)
- B Trägerplatte (Bulk)
- S Quelle (Source)



Als Vorteile der ECTL-Familie lassen sich anführen:

Transistoren arbeiten nicht im Sättigungsbereich, sehr kleine Verzögerungszeiten (typische Werte 1,5 bis 4 ns), großes fan-out (10 bis 30), Signal und Komplementärsignal stehen zur selben Zeit an, temperaturunabhängige Schwellenspannung, konstante Stromaufnahme unabhängig vom Zustand des Gatters.

Als Nachteile sind anzuführen:

kleine Spannungsdifferenz zwischen „0“- und „1“-Signal, größerer Leistungsverbrauch als bei gesättigten Transistor-Schaltkreisen, da zu jedem Zeitpunkt ein Transistor leitet.

ECTL-Schaltkreise werden heute in schnellsten Digitalrechnern verwendet. Die konstante Stromaufnahme vereinfacht die Stromverteilung und unterdrückt die Störspitzen in der Stromversorgung. Die komplementären Ausgänge ermöglichen eine sehr kleine Zahl von Gattern, die zur Darstellung einer bestimmten Funktion notwendig sind.

Metall-Oxid-Silizium-Feldeffekt-Transistor-Logik MOSFETL

(Metal-Oxide-Silicon-Field-Effect-Transistor-Logic MOSFETL)

Feldeffekt-Transistoren (MOSFET) mit isolierter Steuerelektrode sind – im Gegensatz zu bipolaren Transistoren – unipolare Elemente, in denen die Zahl der Ladungsträger durch ein elektrisches Feld gesteuert wird. Feldeffekt-Transistoren können entweder n-Kanal- oder p-Kanal-Typen sein, je nachdem, ob die (Majoritäts-)Ladungsträger Elektronen oder Löcher sind. Beide Typen können außerdem jeweils danach unterschieden werden, ob sie bei der Vorspannung 0V nichtleitend oder leitend sind. Man spricht von Anreicherungstypen (enhancement types), wenn sie bei der Vorspannung 0V nichtleitend sind und bei positiver (n-Kanal) oder negativer (p-Kanal) Vorspannung leitend werden. Umgekehrt spricht man von Verarmungstypen (depletion types), wenn sie bei der Vorspannung 0V leitend sind und bei positiver (p-Kanal) oder negativer (n-Kanal) Vorspannung gesperrt werden. Für digitale Anwendungen haben sich die Anreicherungstypen durchgesetzt, weil sie unmittelbare Kopplung ohne Spannungswandler-Netzwerke zulassen.

MOSFET-Schaltkreise werden in einem dem Silizium-Planarverfahren ähnlichen Prozeß hergestellt. Die Fabrikation benötigt weniger Schritte, muß aber unter wesentlich sauberen Bedingungen ablaufen als die Herstellung von Schaltkreisen mit bipolaren Elementen.

Über Aufbau und Wirkungsweise von MOSFET sei auf [8, 11, 12 und 13] verwiesen.

Bild 9 zeigt ein einfaches Beispiel für ein NOR-Gatter in MOSFET-Technik [11]. Das ganze Gatter ist ausschließlich aus n-Kanal-Anreicherungsmosfet-Elementen aufgebaut.

Als Vorteile der MOSFETL seien genannt:

Alle Elemente (Transistoren, Widerstände, Dioden, Kapazitäten) werden in der gleichen Technologie hergestellt, sehr hohe Integrationsgrade (rd. 1000 MOSFET-Elemente je Quadratmillimeter), Verzögerungszeiten rd. 40 ns, unmittelbare Kopplung ist möglich, hoher Eingangswiderstand, geringer Leistungsverbrauch.

Die Nachteile sind:

Höhere Versorgungsspannungen (6 V bis 15 V), geringe Ausgangsströme infolge der relativ niedrigen Leitfähigkeit des Kanals.

ETZ-B Bd. 22 (1970) H. 1

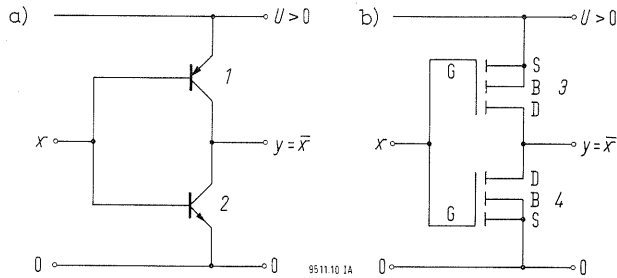


Bild 10
Komplementär-Transistor-Logik (CTL).
a) pnp- (1) und npn-Transistoren (2)
b) p-Kanal- (3) und n-Kanal-MOSFET-Elemente (4)

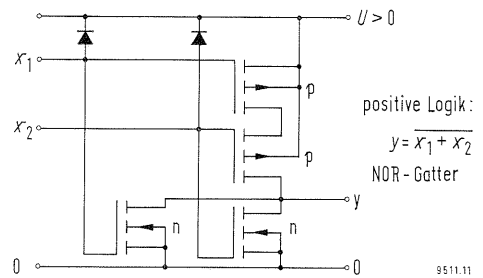


Bild 11
NOR-Gatter in COSMOSFETL.

Komplementär-Transistor-Logik CTL
(Complementary-Transistor-Logic CTL)

Alle bisher besprochenen Schaltkreisfamilien enthielten jeweils nur eine Sorte von aktiven Elementen, entweder den bipolaren npn-Transistor oder den unipolaren n-Kanal-MOSFET. Die CTL-Familie ist dadurch charakterisiert, daß aktive Elemente immer nur paarweise mit zueinander komplementären Typen auftreten. Dieses Prinzip wurde zunächst auf bipolare npn- und pnp-Transistoren angewendet, wobei hohe Schaltgeschwindigkeiten, hohes fan-out sowie äußerst hohe Störsicherheit erreicht wurden. Heute wird dieses Prinzip vor allem auf unipolare n-Kanal- und p-Kanal-Anreicherungs-MOSFET-Elemente angewendet [8]. Bild 10 a zeigt die grundlegende Inverterstufe mit bipolaren Elementen, Bild 10 b mit unipolaren Elementen. Für letztere hat sich der Name Komplementär-symmetrische MOSFET-Logik (Complementary-Symmetry-MOSFET-Logic COSMOSFETL) durchgesetzt.

Ist die Eingangsspannung 0 V, so leitet der pnp-Transistor (p-Kanal-MOSFET); der npn-Transistor (n-Kanal-MOSFET) ist gesperrt. Der Ausgang führt dann die Versorgungsspannung U. Ist die Eingangsspannung U, so leitet der npn-Transistor (n-Kanal-MOSFET); der pnp-Transistor (p-Kanal-MOSFET) ist gesperrt. Am Ausgang liegen dann 0 V. Dadurch wurde also eine Inverterstufe geschaffen mit der Eigenschaft, daß in jedem Zustand ein Transistor gesperrt ist. Der Leistungsverbrauch solcher Gatter ist deshalb äußerst niedrig.

Bild 11 zeigt ein Beispiel für ein NOR-Gatter in COSMOSFETL [8].

Die Vorteile der COSMOSFETL lassen sich in folgenden Punkten zusammenfassen:

- Alle Vorteile der MOSFETL,
- äußerst scharf ausgeprägte Übertragungscharakteristik,
- Störuneempfindlichkeit bis zu 45 %,
- gleiche Logikpegel an Ein- und Ausgang,
- äußerst niedriger Leistungsverbrauch (einige Pikowatt je Gatter!),
- äußerst hoher Eingangswiderstand ($10^{12} \Omega$),
- Verzögerungszeiten von 20 ns bis 30 ns.

Die erst in jüngster Zeit auf den Markt gekommene COSMOSFETL-Familie bietet neben logischen Gattern und Flipflops hochgradig integrierte Schaltkreise an wie viestufige Zähler, Schieberegister und Festwertspeicher. Für eine eingehendere Diskussion dieser Schaltkreisfamilie sei auf [8 und 12] verwiesen.

Die einzelnen Schaltkreisfamilien wurden anhand einfacher Gatter-Grundsaltungen besprochen. Speicherelemente (Flipflop) werden in integrierter Technik aus Gatter-Grund-

schaltungen aufgebaut. Für eine ausführliche Beschreibung von Speicherelementen sei auf [14, 15] hingewiesen.

Ausblick

Im Vorangehenden wurden die wichtigsten Familien digitaler integrierter Schaltungen behandelt. Wegen der derzeit stürmischen Entwicklung auf diesem Gebiet ist es nicht möglich vorherzusagen, welche zur Zeit in Entwicklung befindlichen Elemente sich in Zukunft durchsetzen werden. In den nächsten Jahren wird ganz sicher noch die Silizium-Planartechnik vorherrschend sein. Die MOSFET-Technik wird jedoch in zunehmendem Maße Verbreitung finden. Es gibt auch jetzt schon Entwicklungen, die bipolare und unipolare Elemente vereinen. Eine andere Gruppe von integrierten Schaltungen kombiniert Gallium-Arsenid-Elemente mit integrierten Verstärkern. Eine sehr interessante Neuentwicklung ist die bipolare Germanium-Technologie, die auf dem sogenannten Nachlegierungs-Diffusionsprozeß (post-alloy diffusion process) beruht [16]. Bei sehr hoher Packungsdichte und Unterkühlung auf -100°C werden Verzögerungszeiten von nur 150 ps erreicht.

Heute werden bereits Schaltkreise der MSI und LSI angeboten, wie Zähler, Schieberegister, Addierwerke und Festwertspeicher. Es ist zu erwarten, daß in Zukunft auch Bausteine der PCM-Zeitmultiplex-Vermittlungstechnik vollintegriert hergestellt werden. Das wichtigste Anwendungsgebiet von hochintegrierten Digitalisierungen wird jedoch der monolithische Speicher sein. Es wird erwartet, daß bis in etwa drei Jahren die monolithischen Speicher wirtschaftlicher sein werden als die Kernspeicher. Eines der größten Probleme bei dieser Entwicklung ist der Leistungsverbrauch und somit die Kühlung. Als Speicherzellen wurden in den letzten Jahren u. a. Flipflops aus normalen npn-Transistoren, Multi-Emitter-Flipflops, Doppelthyristor-Flipflops sowie COSMOSFET-Flipflops vorgeschlagen.

Das zunehmende Verbreiten von hochintegrierten Schaltungskomplexen wird nicht nur Einflüsse auf die Kostenrelationen zwischen den verschiedenen bisherigen Baueinheiten haben, sondern vor allem neue Struktur- und Organisationsformen erforderlich machen.

Schrifttum

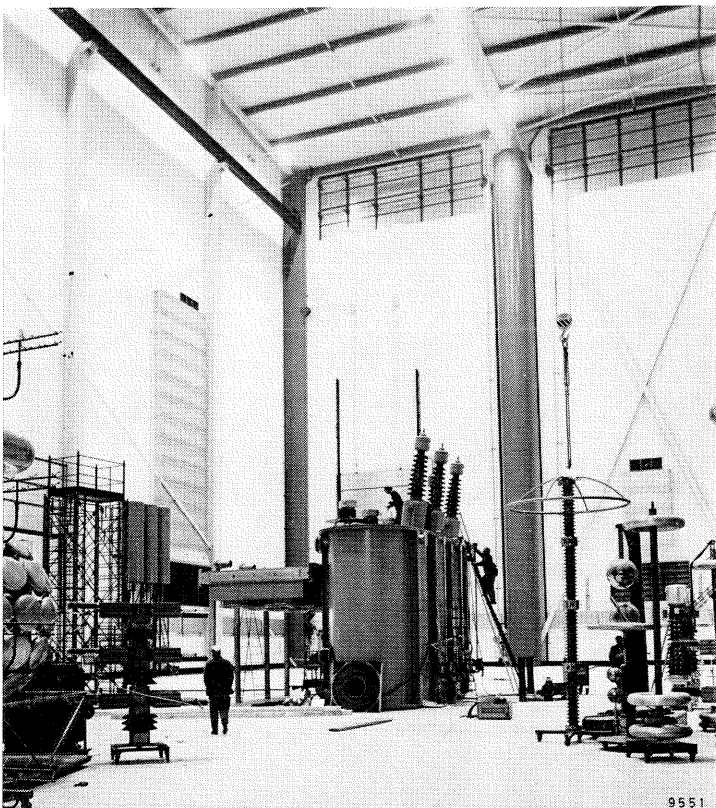
- [1] Louis, H. P.: Monolithic Memories. Part I: Monolithic Processes. Part II: System Aspects. Diskussionstagung über Magnetspeicher. Arbeitsgemeinschaft Magnetismus Weinheim/Deutschland, 27.-28. September 1968.
- [2] Pritchard, R. L.: Integrierte Schaltungen. Eine Übersicht. Arch. Elektrotechn. 51 (1967) 4, S. 214-237.
- [3] Norman, R. H.: Digital Applications of Integral Electronics. Solid/State/Design 5 (July 1964), S. 21-29.

- [4] Spandorfer, L. M., u. Schwarz, J. B.: Microelectronic Logic Circuits. Solid/State/Design 5 (July 1964), S. 50–56.
- [5] Engbert: Integrierte Schaltung – Weg und Ziel. Röhren- und Halbleitermitteilungen Telefunken, RMI 6510 125.
- [6] Phillips, A. B.: Monolithic Integrated Circuits. IEEE Spectrum 1 (June 1964), S. 83–101.
- [7] Murphy, B. T.: High Speed Integrated Circuits with Load-Compensated Diode-Transistor Logic. Electronics 36 (15 March 1963), S. 68–74.
- [8] Sanquini, R. L.: RCA Digital Integrated Circuits. RCA Technical Presentation 4/68 ST-3704.
- [9] Liedl, H., Reiss, K., u. Spichall, W.: FL 100 – Siemens-Digitalbausteine in integrierter Technik. Siemens Technische Mitteilungen, Halbleiter 2 – 6300 – 126.
- [10] Straub, D., u. Wolf, W.: Ein Mehrfunktionen-Baustein als Gatter und als MN Flip-Flop. Wiss. Ber. AEG-Telefunken 41 (1968) 1, S. 39–43.
- [11] Application of MOSFETs in Microelectronics Semicond. Prod. and Solid State Techn. 9 (March 1966), S. 23–29.
- [12] Lohman, R. D.: Complementary MOS Transistor Logic Integrated Circuits. RCA Integrated Circuits Application Note ICAN – 5593 / 1125 – 3. 68 / 12 – 67.
- [13] Zühlke, R.: Wirkungsweise und Herstellungsverfahren von Transistoren. ETZ-B Bd. 21 (1969) H. 5, S. 97–100.
- [14] Fleischhammer, W.: Eine Systematik der zusammengesetzten bistabilen Kippstufen. Elektron. Rechenanl. 10 (1968), S. 34–40.
- [15] Lagemann, K.: Die verschiedenen Flipfloparten und ihre Beschreibung durch Symbole und Wahrheitstabellen. Valvo-Berichte, Band XIII (1967) 5, S. 149–188.
- [16] Reisman, A.: Germanium IC's point the Way towards Picosecond Computers. Electronics 42 (3 March 1969), S. 88–93.

Neues Ultraspannungsprüffeld in Ludvika/Schweden

In einer Halle mit einer Länge von 55 m und einer Breite von 35 m sowie einer lichten Höhe von 35 m kann die ASEA jetzt Transformatoren mit Spannungen von über 1 MV prüfen. Im Halleninnern werden Transformatoren mit einem Gewicht bis zu 700 Tonnen auf Luftkissen transportiert werden. Die Halle läßt sich noch bis auf eine lichte Höhe von 60 m ausbauen. Außerhalb ist ein Freiluftprüfstand zum Prüfen von Transformatoren für 1,5 MV geplant. Für die Prüfungen wird u. a. ein Stoßgenerator für Stoßspannungen von 4 MV installiert. Die Beherrschung der mit den Ultrahochspannungen verknüpften Probleme erfordert umfassende Forschungsarbeiten. Deshalb hat die ASEA mit dem großen amerikanischen Stromversorgungsunternehmen AEP (American Electric Power Service Corp.) eine Zusammenarbeit zur Entwicklung von Übertragungsleitun-

Blick in die 35 m hohe Halle des neuen Ultraspannungsprüffeldes der ASEA.



gen und Hochspannungsgeräten eingeleitet. Auch die Firma Ohio Brass, der führende Hersteller der USA von Isolatoren, hat sich dem Projekt angeschlossen. Man hat sich zum Ziel gesetzt, sowohl die theoretisch höchstmögliche Übertragungsspannung als auch den praktischen Wert der Systemspannung zu bestimmen. Sobald man sich für eine geeignete höchste Spannung entschieden hat, sollen hierfür Systeme und Geräte entwickelt werden.

Parallel zu den Studien der Systemtechnik wird die ASEA in Ludvika Elemente der Energieübertragung, wie Transformatoren, Nebenschlußdrosseln, Hochspannungs-Schaltgeräte, Überspannungsableiter sowie Meßgeräte und Meßfühler entwickeln. Man rechnet damit, daß in Zukunft Transformatoren mit Leistungen von 3000 bis 6000 MVA benötigt werden.

Die neue Prüf- und Montagehalle in Ludvika zeichnet sich durch mehrere ungewöhnliche konstruktive Einzelheiten aus. Als Baustoff wurde Stahl verwendet, wobei insgesamt 600 Tonnen verbraucht wurden. Das Gebäude ist elektrisch vollkommen abgeschirmt, und zwar in den Wänden und an der Decke durch Stahlblech und am Fußboden durch ein eingegossenes Kupferdrahtgeflecht. Die runden Hauptpfeiler haben einen Durchmesser bis zu 2,2 m. Vier Pfeiler sind zur Aufbewahrung von Transformatoröl und ein Pfeiler ist als Behälter für Druckluft mit einem Arbeitsüberdruck von 7 at vorgesehen.

Für die Prüfungen stehen u. a. zur Verfügung:

- ein Stoßspannungsgenerator für Blitzstoßspannungen von der Form $1,2|50 \mu\text{s}$ mit einer Nennstoßspannung von 4,0 MV; für Schaltstoßspannungen der Form $250|2500 \mu\text{s}$ beträgt die Nennstoßspannung 2,4 MV;
- ein zweiter Stoßspannungsgenerator mit den beiden Stoßspannungsnennwerten 3,4 MV (Blitzstoß) und 1,4 MV (Schaltstoß);
- eine Transformatorenkaskade mit einer höchsten effektiven Spannung von 1,4 MV und einem effektiven Dauerbelastungsstrom von 1 A;
- ein Gleichrichter mit einer höchsten Spannung von 1,0 MV;
- ein Drehstromgenerator zur induzierten Spannungsprüfung mit erhöhter Frequenz (240 Hz) mit einer Leistung von 4 MVA, ausreichend zum Prüfen von Transformatoren für Systemspannungen von 1,5 MV;
- ferner eine Ausrüstung zum Prüfen bei Leistungsfrequenzen (50 bzw. 60 Hz) mit einer Generatorleistung von 40 MVA, ausreichend für Erwärmungsprüfungen an Transformatoren bis zu 1500 MVA Leistung.

Somit hat die ASEA ihre Vorbereitungen getroffen für die Prüfung von Geräten für Drehstromübertragungen für einen Spannungsbereich von 1,1 bis 1,5 MV, die möglicherweise in nicht allzu ferner Zeit verwirklicht werden. rk