



Master-Arbeit Nr. 1053

**Entwurf und Implementierung einer Ethernet-Schnittstelle für ein  
experimentelles objektbasiertes Rechnersystem**



**Methoden**

Entwurf digitaler Systeme

**Themengebiete**

Rechnerarchitektur

**Motivation**

Am Institut entsteht ein FPGA-basierter Prototyp eines neuartigen objektbasierten Mikroprozessors, der sich durch eine erhöhte Robustheit auf Ebene der Instruction Set Architecture auszeichnet. Dieser Mikroprozessor wird derzeit zu einem experimentellen Rechner ausgebaut, der über Standard-Schnittstellen wie HDMI, USB und Ethernet verfügen soll.

**Aufgabenstellung**

Ziel der Arbeit ist es, den Rechner um eine Ethernet-Schnittstelle zum Anschluss an ein IP-Netz zu erweitern. Dafür ist es erforderlich, den auf dem verwendeten FPGA-Board vorhandenen PHY-Chip über einen Media Access Controller (MAC) im FPGA an den Prozessor anzubinden. Dieser MAC kann mit Hilfe eines IP-Core von Altera realisiert werden. Zum effizienten Datenaustausch zwischen MAC und Prozessor soll statt DMA ein neues Konzept erprobt werden: Ein kleiner On-Chip Pufferspeicher mit zwei Ports ("I/O-Buffer"). Zum Nachweis der Funktionsfähigkeit des Systems soll software-seitig das TFTP-Protokoll implementiert werden, sodass Dateien zwischen dem experimentellen Rechner und einem handelsüblichen PC ausgetauscht werden können, beispielsweise zum Booten des Systems.

**Voraussetzungen**

Entwurf digitaler Systeme

**Kontakt**

Dipl.-Ing. Matthias Meyer

Raum 1.334 (ETI II), Telefon 685-67975, E-Mail [matthias.meyer@ikr.uni-stuttgart.de](mailto:matthias.meyer@ikr.uni-stuttgart.de)