



Master-Arbeit Nr. 1051

"Fast Misprediction Recovery" für einen superskalaren objektbasierten Prozessor in VHDL



Methoden

Entwurf digitaler Systeme

Themengebiete

Rechnerarchitektur

Motivation

Zur Untersuchung feingranularer Speicherschutzmechanismen und hardware-unterstützter Garbage Collection forscht das Institut an einer neuartigen objektbasierten Prozessorarchitektur, die trotz ihrer hohen Abstraktionsebene hinsichtlich des Speicher-Managements mit Hilfe von State-of-the-Art-Mechanismen wie Pipelining, Sprungvorhersage und Out-of-order-Processing effizient superskalar implementiert werden kann. In einem solchen superskalaren Prozessor sorgt ein Reorder-Buffer dafür, dass Befehle, die der Prozessor zur Verbergung von Latenzen und zur parallelen Nutzung von Rechenwerken vor der Ausführung umsortiert, den Zustand des Prozessors trotzdem in ihrer originalen Reihenfolge im Programm aktualisieren. Kommt nun ein falsch vorhergesagter Sprung vorne am Reorder-Buffer an, so werden alle nach diesem Sprungbefehl spekulativ ausgeführten Befehle im Reorder-Buffer und in den Ausführungseinheiten gelöscht und der Prozessor beginnt, Befehle von der korrigierten Adresse zu laden.

Aufgabenstellung

Im derzeitigen Prototyp werden Fehlspekulationen wie oben beschrieben konservativ behandelt: Erkennt die Branch-Einheit einen falsch vorhergesagten Sprung, so wird ausschließlich der entsprechende Eintrag im Reorder-Buffer aktualisiert. Der Befehlsfolgezähler wird erst korrigiert, wenn der falsch vorhergesagte Sprung vorne am Reorder-Buffer ankommt. Ziel der vorliegenden Arbeit ist es nun, bereits mit dem Laden und Ausführen von Befehlen von der korrigierten Adresse zu beginnen, sobald die Branch-Einheit eine falsche Vorhersage erkennt. Dieses Verfahren bezeichnet man als "Fast Misprediction Recovery". Die Herausforderung bei der Implementierung dieses Verfahrens ist, dass nun nicht mehr alle Befehle im Prozessor gelöscht werden dürfen, wenn ein falsch vorhergesagter Sprung vorne am Reorder-Buffer ankommt. Dafür sollen Verfahren in der Literatur recherchiert und ein für den vorliegenden Prototyp geeignetes Verfahren implementiert werden.

Voraussetzungen

Entwurf digitaler Systeme
Rechnerarchitektur und Rechnerorganisation

Kontakt

Dipl.-Ing. Matthias Meyer
Raum 1.334 (ETI II), Telefon 685-67975, E-Mail matthias.meyer@ikr.uni-stuttgart.de