



Bachelor-Arbeit / Forschungsarbeit Nr. 1025

Entwurf und Implementierung von Mechanismen zur dynamischen Sprungvorhersage für einen RISC-V-Prozessor



Methoden

Entwurf digitaler Systeme
Programmierung

Themengebiete

Prozessorarchitektur

Hintergrund

Am Institut wird ein RISC-V-Prozessor implementiert, der als Forschungsplattform für die Erprobung und Bewertung von hardware-basierten Schutzmechanismen dient.

Aufgabenstellung

Im Rahmen dieser Arbeit soll ein RISC-V-Prozessor um Mechanismen zur Sprungvorhersage erweitert werden. Der Prozessor wurde bereits in VHDL modelliert und auf einem Cyclone V FPGA-Board in Betrieb genommen. Er implementiert den 32-Bit Basisbefehlssatz der RISC-V-Architektur mit Hilfe einer fünfstufigen Pipeline. Diese soll im Rahmen der Arbeit um verschiedene Mechanismen zur dynamischen Sprungvorhersage (z. B. BPB, BTC, Return Address Prediction, Tournament Prediction etc.) erweitert werden. Die einzelnen Mechanismen sollen dabei bei der Synthese durch Konfiguration aktiviert oder deaktiviert werden können. Abschließend sollen die Mechanismen durch geeignete Benchmarks hinsichtlich ihrer Leistungsfähigkeit bewertet werden.

Erworbene Kenntnisse und Fähigkeiten

Sie setzen sich eingehend mit unterschiedlichen Ansätzen zur Sprungvorhersage in modernen RISC-Prozessoren auseinander. Durch die Arbeit an einem umfangreichen VHDL-Modell erlernen Sie den Entwurf und die Realisierung von komplexen Hardware-Designs. Mit RISC-V lernen Sie darüber hinaus eine moderne und praxisrelevante Prozessor-Befehlssatzarchitektur kennen.

Voraussetzungen

Entwurf digitaler Systeme
Technische Informatik I
Rechnerarchitektur und Rechnerorganisation

Erwünschte Vorkenntnisse

Programmierkenntnisse in C

Kontakt

M.Sc. Simon Blum
Raum 1.333 (ETI II), Telefon 685-67991, E-Mail simon.blum@ikr.uni-stuttgart.de